

MEC-SESU
CENTRO FEDERAL DE EDUCAÇÃO TECNOLÓGICA DO PARANÁ
DEPARTAMENTO ACADÊMICO DE ELETRÔNICA

APOSTILA DE
ELETRÔNICA DIGITAL II
(CÓDIGO EL 267)

AUTOR : PAULO ROBERTO BRERO DE CAMPOS
COLABORADOR : SÉRGIO CORTES CORDEIRO.

ÍNDICE

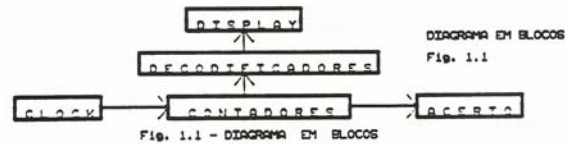
CAPÍTULO 1	RELÓGIO DIGITAL	1
CAPÍTULO 2	CONVERSORES A/D E D/A	8
CAPÍTULO 3	FREQUENCÍMETRO DIGITAL	27

Capítulo 1

Relógio Digital

- 1.1 = Diagrama em Blocos
- 1.2 = Resumo de Funcionamento
- 1.3 = Descrição dos Blocos
- 1.4 = Circuitos Integrados
- 1.5 = Configuração dos Contadores
- 1.6 = Ajuste
- 1.7 = Exercícios

1.1 - Diagrama em Blocos



1.2 - Resumo de Funcionamento

O relógio digital é composto basicamente de contadores para horas, minutos e segundos.

O bloco de acerto permite que se faça ajuste nos contadores. O ponto crítico do acerto é o ruído gerado pelas chaves. Deve-se utilizar circuitos que eliminem esse ruído.

1.3 - Descrição dos Blocos

a) **Clock:** gera pulsos de 1Hz, compatíveis com a família lógica utilizada.

b) **Contadores:** composto por contadores BCD módulos 60, 24 ou 12. O contador de horas pode ser módulo 12 ou 24. Os contadores de minutos e segundos são módulo 60.

c) **Acerto:** através de chaves, aplicam-se pulsos diretamente nos contadores de minutos e horas. Normalmente, no ajuste, os contadores de segundo são zerados. O grande problema existente é que os contatos mecânicos das chaves geram ruídos. Para eliminar estes ruídos, existem diversas técnicas.

d) **Decodificadores:** são utilizados decodificadores BCD para 7 segmentos, da família CMOS (4511).

e) **Displays:** são utilizados displays 7 segmentos, tipo catodo comum.

1.4 - Circuitos Integrados

a) Contador BCD

O CI 7490 é um contador BCD. Ele é composto por dois contadores independentes. Um módulo 2 e outro módulo 5.

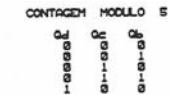
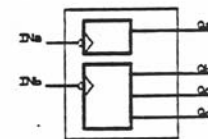


Fig. 1.2 - CONTADOR 7490

A contagem módulo BCD é obtida ligando-se a saída Qa à entrada INB. Os dois contadores são sensíveis à rampa de descida.

A tabela verdade de contagem BCD é mostrada na Fig. 1.3 .

Qd	Qc	Qb	Qa
0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1	0	0	0
1	0	0	1

Fig. 1.3 - Contagem BCD

O contador BCD é um contador módulo 10, isto é, possui 10 combinações diferentes. Ele também pode ser utilizado como um divisor por 10. Note que para se obter esta contagem foram aplicados 10 pulsos na entrada. A saída Qd possui apenas 1 pulso. Então houve uma divisão por 10.

Os pinos R01 e R02 possibilitam "resetar" o contador. Eles são ativados com nível alto e forçam as saídas para zero, isto é, Qd = Qc = Qb = Qa = 0.

O reset só ocorre quando R01 = R02 = 1, ao mesmo tempo.

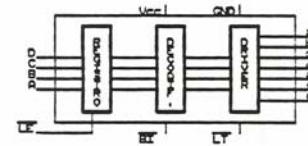
Os pinos R91 e R92, provocam um preset das saídas para nove, isto é:

Qd	Qc	Qb	Qa
1	0	0	1

São ativados em nível alto, isto é, o preset ocorre quando R91 = R92 = 1.

b) Decodificador BCD 7 Segmentos (CI 4511)

O CI 4511 além de ser decodificador, possui um registro interno. Este registro é controlado pelo pino $\overline{\text{LE}}$ (latch enable, ativo em zero). Na Fig. 1.4 é mostrado o diagrama do CI:



$\overline{\text{LE}} = 0$, A INFORMAÇÃO PASSA ATRAVÉS DO REGISTRO
 $\overline{\text{LE}} = 1$, A ÚLTIMA INFORMAÇÃO MOSTRADA NO DISPLAY É 'REPAZENADA'.

Fig. 1.4 - DIAGRAMA DO 4511

Os pinos $\overline{\text{LT}}$, (lamp test), e $\overline{\text{BI}}$, (blanking input), tem a função de acender todos os segmentos e apagar todos os segmentos, respectivamente, (ativos em zero).

Cada saída possui um driver composto por transistores bipolares. O circuito de saída é mostrado na Fig.1.5 :

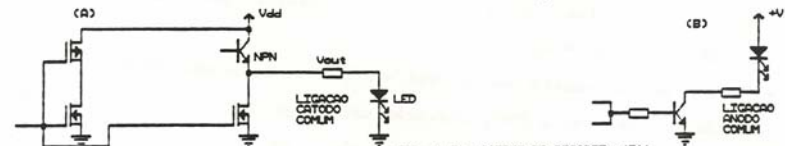


Fig. 1.5 - SAÍDAS DO DECODIF. 4511

Para este tipo de saída é utilizado um display catodo comum, como mostra a Fig. 1.5 (a). Se for utilizado um display anodo comum, deve-se fazer a ligação mostrada na fig. 1.5 (b).

c) Display

Será utilizado um display de 7 segmentos tipo catodo comum.

Neste tipo de display, todos os catodos sao interligados entre si.

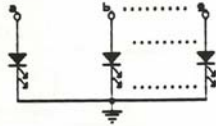
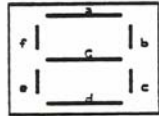
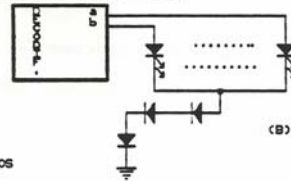
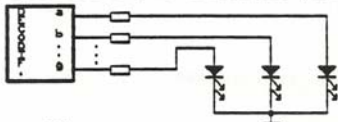


Fig. 1.6

Os anodos sao ligados nas respectivas saidas do decodificador. Como a tensao em cima de cada segmento é em torno de 2V, deve-se utilizar resistores ou diodos para dividir a tensao de cada saida, que é da ordem de 5V. As situaçoes possiveis sao as seguintes:



(A)

(B)

Fig. 1.7 - LIMITAÇÃO DA CORRENTE NOS SEGMENTOS

1.5 - Configuração dos contadores

a) Contador módulo 60

É obtido com dois contadores BCD. Um contador será módulo 6 e o outro será módulo 10.

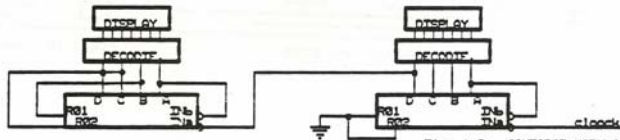


Fig. 1.8 - CONTADOR MÓDULO 60

b) Contador Módulo 24

Neste caso o reset deve ocorrer na contagem 24, isto é, o contador fará uma contagem de 00 à 23.

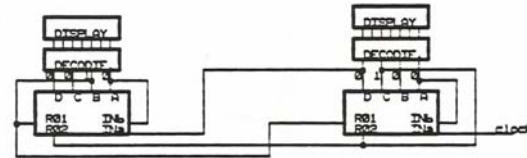
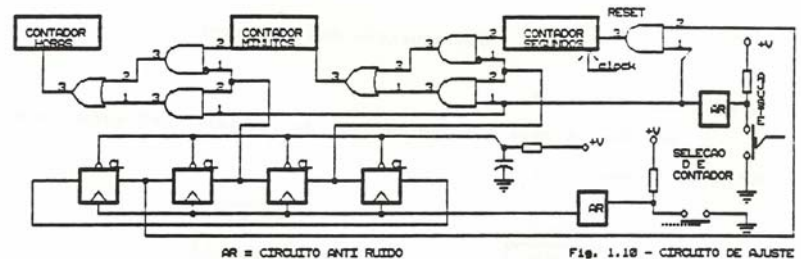


Fig. 1.9 - CONTADOR MÓDULO 24

1.6 - Ajuste

O circuito de ajuste deve permitir que os contadores sejam ajustados independentemente.

O circuito abaixo mostra uma configuração possível para o ajuste:



AR = CIRCUITO ANTI RUÍDO

Fig. 1.10 - CIRCUITO DE AJUSTE

O ajuste do contador de segundos é obtido através do reset deste contador.

Os 4 F.Fs. D, compoe um contador em anel. Este circuito é "presetado" para a combinação "1000", quando a alimentação é ligada.

A cada pulso de "chave sel" é selecionado um contador por vez para o ajuste.

1.7 - Exercícios

1 - Esquematize um contador módulo 12 que faça a contagem de 01 à 12 e retorne para 01 (contador de horas módulo 12 p/ relógio tipo AM/PM) .

2 - Esquematize o circuito completo do relógio digital.

3 - Esquematize um circuito de ajuste, onde se a chave for mantida pressionada, deve-se injetar um sinal com uma frequência de 8 Hz para obter-se uma contagem rápida.

4 - Cite 3 modos de implementar o circuito de clock e desenhe o circuito. Explique cada um deles em termos de vantagens e desvantagens.

5 - Esquematize um divisor por 60.

6 - Esquematize um divisor por 50.

7 - Para os circuitos da Fig.1.5:

a) Calcule os resistores que serao conectados aos segmentos do display;

b) Determine as características dos diodos;

c) Para o caso (b) da Fig.1.5, o que aconteceria se fosse utilizado apenas 2 diodos ? Supondo: $V_{vj} = 2V$, $V_{oh} = 5V$, $I_f = 8mA$.

8 - Explique 3 formas de construir o circuito anti-ruído.

Capitulo 2 Conversores A/D e D/A

2.1) Introdução

2.1A) Conversor digital para analógico (D/A)

2.1B) Conversor analógico para digital (A/D)

Conversores D/A

2.2) Conversor D/A de resistencias ponderadas

2.2A) Características e funcionamento

2.2B) Exercícios

2.3) Conversor D/A R-2R (tipo escada)

2.3A) Características e funcionamento

2.3B) Exercícios

Conversores A/D

2.4) Conversor A/D rampa discreta

2.4A) Características

2.4B) Funcionamento

2.5) Conversor A/D de rampa simples

2.5A) Características

2.5B) funcionamento

Capítulo 2 - Conversores A/D e D/A

2.1 - INTRODUÇÃO

2.6) Conversor A/D dupla rampa

2.6A) Características

2.6B) Funcionamento

2.7) Conversor A/D tensão-frequência

2.7A) Características

2.7B) Funcionamento

2.8) Conversor A/D de rampa digital contínua

2.8A) Características

2.8B) Funcionamento

2.9) Conversor A/D de aproximações sucessivas

2.9A) Características

2.9B) Funcionamento

2.10) Conversor A/D direto ou paralelo

2.10A) Características

2.10B) Funcionamento

2.11) Conversor A/D potenciométrico (balance a nulo)

2.11A) Características

2.11B) Funcionamento

2.12) Resumo dos conversores A/D

2.1A - CONVERSOR DIGITAL PARA ANALÓGICO (D/A)

Transforma uma grandeza digital em um valor analógico.

Exemplo:



2.1B - CONVERSOR ANALÓGICO PARA DIGITAL (A/D)

Transforma uma grandeza analógica em uma grandeza digital.



Conversores D/A

2.2 - CONVERSOR D/A DE RESISTÊNCIAS PONDERADAS

2.2A - CARACTERÍSTICAS E FUNCIONAMENTO

Este conversor utiliza um somador, sendo que cada entrada terá um ganho diferente. Este ganho define a relação de pesos para cada Bit.

O circuito é mostrado na Fig. 2.3 :

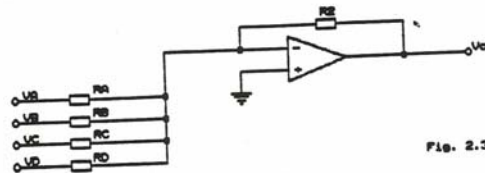


Fig. 2.3

A equação de saída é dada por :

$$V_D = -R_2 * (V_A/R_A + V_B/R_B + V_C/R_C + V_D/R_D)$$

As entradas A, B, C e D, assumem valores binários ("0" ou "1"). Sendo que a tensão do nível lógico "1" depende do projeto.

Os valores das resistências de entrada, determinam o peso de cada entrada.

O resistor de menor valor, determina um ganho maior na saída.

Para se obter uma relação de potências de 2, define-se o seguinte:

$$R_d = R$$

$$R_c = 2R$$

$$R_b = 4R$$

$$R_a = 8R$$

$$\text{então, } V_D = -R_2 * (V_A/8R + V_B/4R + V_C/2R + V_D/R)$$

$$V_D = -R_2/R * (V_A/8 + V_B/4 + V_C/2 + V_D/1)$$

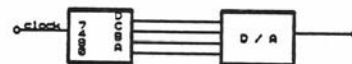
Fazendo $R_2 = 8R$:

$$V_D = - (V_A + 2V_B + 4V_C + 8V_D)$$

Arbitrando uma tensão de nível alto com valor de 1v, têm-se na saída do conversor o valor analógico equivalente ao código binário aplicado na entrada.

2.2B) Exercícios

1) Projete um conversor D/A que forneça tensões entre 0,0 à 0,9V. Este conversor será acoplado à saída de um contador BCD (7490).



2) Esquematize um conversor D/A que forneça tensões entre 0,0 à 9,9v.

3) A forma utilizada para ligar o conversor D/A no contador, mostrado no exercício 1, não é muito utilizada. Qual o problema que isto acarreta? Qual a solução?

4) O que são chaves analógicas, como são contruídas. Pesquise um C.I. que faça esta função.

5) Qual a desvantagem do conversor D/A de resistências ponderadas?

2.3) Conversor D/A R-2R

2.3A) Características e funcionamento.

O circ. do conversor R-2R é mostrado a seguir:

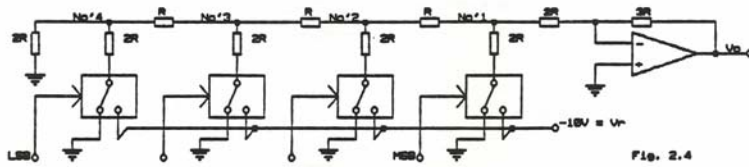


Fig. 2.4

A impedância vista por cada nó à esquerda é igual a $2R$.

Para o nó 4 $Req(4) = 2R$

Para o nó 3 $Req(3) = (Req(4) // 2R) + R = 2R$

Para o nó 2 $Req(2) = (Req(3) // 2R) + R = 2R$

Para o nó 1 $Req(1) = (Req(2) // 2R) + R = 2R$

A impedância vista por cada nó à direita é igual a $2R$, devido ao TERRA VIRTUAL da entrada não inversora.

Qualquer dos nós terá como circuito equivalente, o seguinte :

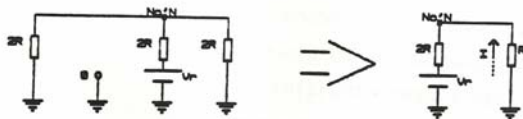


FIG. 2.5

A tensão no nó N, será :

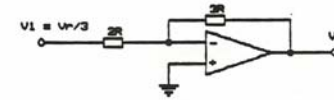
$$Vr = I * (2R + R) = 3R * I$$

$$I = Vr / 3R$$

$$Vn = R * I = (R * Vr) / 3R = Vr / 3$$

13

Para o nó 1, a contribuição do dígito será $V1 = Vr / 3$.

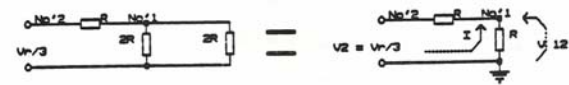


Portanto :

$$Vo = - (3R/2R) * V1 = - (3R/2R) * (Vr/3) = Vr/2$$

As contribuições dos demais nós serão referenciadas ao nó 1, calculando-se a tensão que produzem neste nó.

Para o nó 2 :



A tensão que é produzida no nó 1, devido a tensão do nó 2 ($V2$), será representada por $V12$, e tem o valor :

$$V2 = I * (R + R) ; I = V2 / 2R$$

Como : $V12 = R * I = R * V2 / 2R = V2 / 2$

A contribuição do 2o. dígito será :

$$V12 = V2 / 2 = Vr / (3 * 2) = Vr / 6$$

Portanto a saída correspondente será :

$$Vo = - (3R/2R) * V12 = Vr / 4$$

Deve-se observar que os resultados para os outros nós seguem o mesmo raciocínio.

Portanto, cada uma das demais chaves irá contribuir com um peso menor.

O conversor tipo escada usa apenas dois tipos de resistores. O que torna mais fácil a construção do conversor D/A.

A precisão depende mais da relação de valores entre as resistências do que o seu valor individual.

2.3B) Exercícios

- 1) Esquematize um conversor D/A tipo R-2R para 8 bits (informação de entrada vem de dois contadores BCD).
- 2) Esquematize um conversor D/A tipo R-2R para 8 bits (contagem binária).

CONVERSORES A/D

2.4) Conversor A/D Rampa Discreta

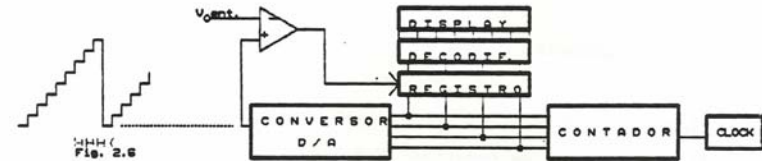
2.4A) Características

- simples, econômico, mas lento.
- pouco usado em multímetros digitais.
- utilizado em instrumentos de baixa resolução com rapidez de leitura da ordem de duas por segundo (2/s).
- aplicações médicas-clínicas (medição de pressão arterial, pressão venosa, frequência cardíaca, temperatura, etc) pois não interessam as variações rápidas do fenômeno que se está observando.

2.4B) Funcionamento

Um contador é interligado a um conversor D/A. Tem-se então na saída do conversor D/A uma rampa discreta. Quando a tensão a ser medida for igual a tensão da saída do conversor D/A, a contagem é armazenada e mostrada num display.

O contador volta a zero e prossegue a contagem.



2.5 - CONVERSOR DE RAMPA SIMPLES

2.5A) Características

- Lento, precisa de fonte de corrente muito estável, oscilador estável, e os componentes da parte analógica devem ter baixa tolerância.
- Não possui boa exatidão, além de ser lento.
- Mas é de construção simples e os circuitos integrados utilizados são bem simples.

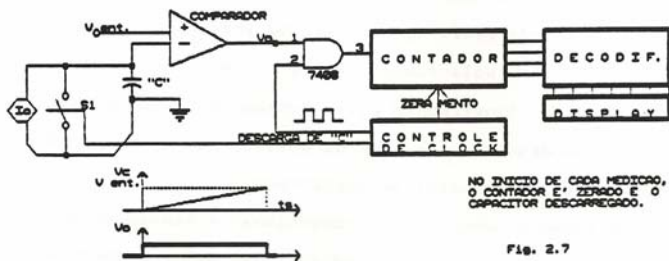
2.5B) Funcionamento

Este conversor se baseia na carga de um capacitor até um valor que é igual a tensão que queremos medir (V_{ent}).

Durante o instante da carga do capacitor, pulsos são aplicados ao contador e ocorre a contagem.

Quando a tensão do capacitor for igual à tensão de entrada, cessa a contagem e o resultado no contador é proporcional à tensão de entrada.

Note que quanto menor V_{ent} , menos tempo o capacitor leva a se carregar e menor é a contagem.



2.6 - CONVERSOR DUPLA RAMPA

2.6A) Características

- Insensível a mudanças de frequências de clock, mudanças de tensão da fonte de alimentação, e valores dos componentes passivos ou ativos (desde que estas mudanças ocorram em tempos grandes).

- Simples.
- Lento.
- É um dos mais usados em multímetros digitais.

2.6B) Funcionamento

Esta técnica fornece uma proporcionalidade de tensão a tempo.

A tensão de entrada é aplicada ao integrador durante o período de integração. Durante este tempo, o capacitor se

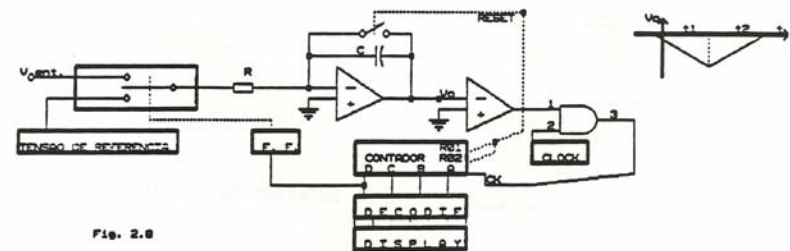
carrega com uma rapidez governada por "R". Ao final do período de integração, "C" permanece com uma carga que é proporcional à tensão de entrada (a rapidez de carga é governada pela corrente por "R").

Na segunda fase da operação, o comutador conecta uma tensão de referência à entrada do integrador. Esta tensão de referência tem polaridade oposta à tensão de entrada. "C" é descarregado linearmente pela tensão de referência. Desde o começo da descarga, aplica-se pulsos num contador. O contador pára quando o capacitor se descarrega.

O tempo de descarga é proporcional à tensão de entrada.

Quanto maior a tensão de entrada, maior a carga armazenada em C, conseqüentemente o capacitor leva mais tempo para se descarregar e maior é a contagem feita pelo contador.

A precisão depende principalmente da tensão de referência. Os erros introduzidos na carga se cancelam na descarga.



É um dos mais utilizados em voltímetros digitais.

2.7 - CONVERSOR TENSÃO-FREQUÊNCIA

2.7A) Características

- É útil em instrumentos que já tenham um contador de frequências.
- É limitado a baixas frequências (300 kHz).

2.7B) Funcionamento

A tensão de entrada V_x é aplicada a um integrador. Na saída tem-se uma rampa de descida (V_a). Esta tensão é comparada com uma tensão de referência (V_r), de tal forma que na saída do comparador permanece com nível zero, até que V_a alcance o valor V_r .

Neste momento, a saída do comparador muda de estado assumindo nível 1. Este nível 1, provoca o disparo do multivibrador monoestável fazendo que $-E_c$ seja aplicado ao integrador durante o tempo fixo T_1 (estabelecido pelo monoestável).

Nestas condições o integrador soma os efeitos de V_x e $-E_c$. Se $-E_c / R$ é maior que V_x , então V_a muda de estado.

Ao fim de T_1 , V_c volta a zero e inicia-se novo ciclo de integração de V_x durante o tempo T_2 , até que a tensão de saída do integrador V_a alcance de novo o valor V_r .

O número de vezes que se repete este ciclo na unidade de tempo é proporcional a V_x .

Veremos na Fig.2.9 o circuito demonstrativo:

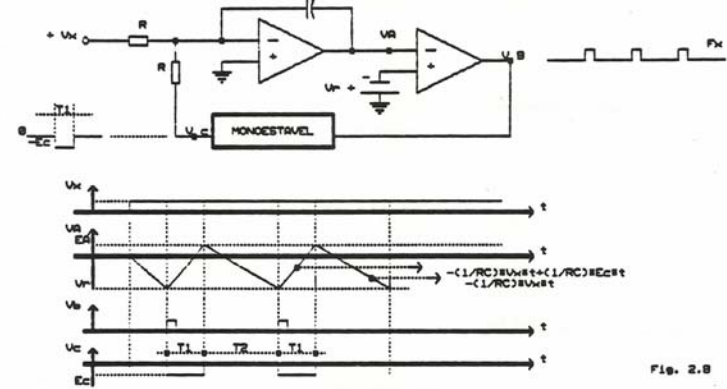


Fig. 2.8

2.8 - CONVERSOR DE RAMPA DIGITAL CONTÍNUA

2.8A - Características

- A saída está permanentemente relacionada com a entrada.
- A conversão é rápida para "pequenas" variações do sinal.
- O tempo de conversão é grande para grandes mudanças na entrada.
- O último dígito oscila continuamente (± 1).
- É usado na: 1. Conversão de sinais de áudio para a forma digital
- 2. Conversão de sinais provenientes de transdutores
- 3. Servocontrole com processamento digital.

2.8B) Funcionamento

Supoem-se inicialmente $V_c = 0$, entao na saída do comparador aparece nível "1". Este nível é aplicado ao controle do contador e este conta progressivamente.

As saídas dos contadores sao aplicadas ao conversor D/A que converte a contagem binária em uma tensão analógica V_c .

Quando a contagem alcança um valor tal que faz $V_c > V_x$, a saída do comparador muda para nível "0", com o qual a contagem se torna regressiva. Após um pulso de clock, tem-se : $V_c < V_x$ e o contador conta progressivamente.

Este cnvversor fica variando a contagem ao redor do valor V_x de +/- uma unidade.

O valor no contador corresponde ia tensão V_x .

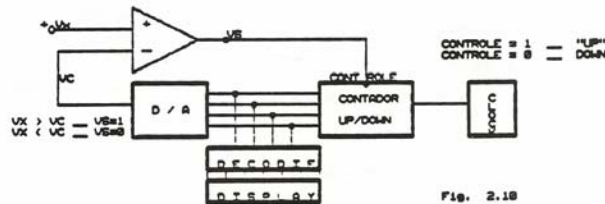


Fig. 2.18

2.9 - CONVERSOR DE APROXIMAÇÕES SUCESSIVAS

2.9A) - Características

- pequeno tempo de conversao
- alta resolução
- a exatidão nao depende da estabilidade do relógio
- circuito complexo
- rapidez de conversao (15 a 30 micro segundos)
- usado como interface entre variáveis físicas e computadores e toda classe de instrumentos onde se queira rapidez e exatidão.

2.9B) - Funcionamento

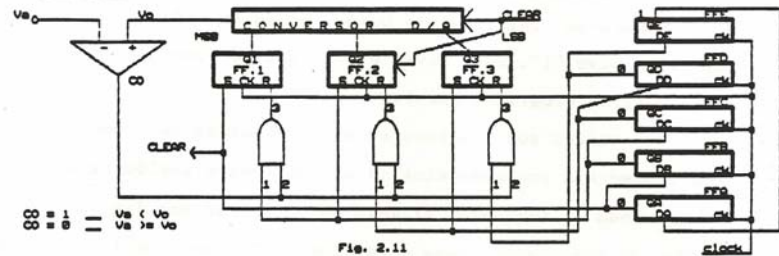


Fig. 2.11

- o registro de deslocamento formado pelos F.Fs. D, inicialmente tem zero em todas as posições, apenas $Q_5=1$.
- no primeiro clock $Q_4=1$ e os FF2 e FF3 sao zerados
- no segundo clock, FF1 assume "um" e $Q_2=1$
- na sequencia a saída do comparador sera analisada:
 - * se $V_a < V_o$ entao $Co=1$ e FF1 é resetado
 - * se $V_a > V_o$ entao $Co=0$ e FF1 permanece com "um" e o FF2 é setado.
- e a comparação prossegue.

Inicialmente o bit mais significativo do conversor D/A assume nível 1 e obtem-se o valor V_o na saída.

Se $V_a < V_o$ este bit é resetado e é colocado nível 1 no bit seguinte (uma casa menor) do conversor D/A.

Se $V_a > V_o$ este bit é mantido e o seguinte é colocado em nível 1 (uma casa menor).

Note que sempre um bit de cada vez é variado e a tensão obtida é comparada com V_a . Conforme o resultado da comparação, o bit é mantido ou resetado e o próximo bit é testado.

O procedimento que é realizado por este conversor é mostrado a seguir:

Procedimento do conversor:

100	-se Va < Vo 010	--se Va < Vo 001	---se Va < Vo 000	
!	!		---	se Va > Vo 001
!		--	se Va > Vo 011	---se Va < Vo 010
!			---	se Va > Vo 011
!	-se Va < Vo 110	--se Va < Vo 101	---se Va < Vo 100	
!	!	!	---	se Va > Vo 101
!	!	--	se Va > Vo 111	---se Va < Vo 110
!	!	!	---	se Va > Vo 111
!	!	!	!	!
1a.	2a.	3a.		resultado final
comparação	comp.	comp.		4a. comparação

O resultado final será sempre obtido na 4a. comparação.

2.10) - CONVERSOR DIRETO OU PARALELO

2.10A) - Características

- rápido tempo de conversão (10 nano segundos)
- conversor de baixa resolução
- exatidão depende da estabilidade da fonte de referência e da estabilidade dos comparadores (o que é difícil de se conseguir).
- usado em lugares em que se necessite alta rapidez de conversão, com pequena exatidão.
- usado em VUs de amplificadores.
- usado para visualização analógica.

2.10B) - Funcionamento

Consiste de um grupo de comparadores analógicos, que definem o nível da tensão V_x de forma discreta, determinada pelas tensões de referência.

	A	B	C
$Vr1 > Vx$	0	0	0
$Vr2 > Vx < Vr1$	1	0	0
$Vr3 > Vx < Vr2$	1	1	0
$Vx > Vr3$	1	1	1

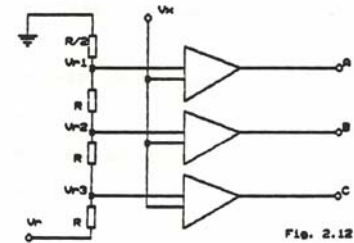


Fig. 2.12

Na saída dos comparadores introduzimos um conversor de código, desta forma podemos obter um valor binário na saída.

A	B	C	-	A!	B!
0	0	0	-	0	0
1	0	0	-	1	0
1	1	0	-	0	1
1	1	1	-	1	1



Fig. 2.13

2.11) - CONVERSOR POTENCIOMETRO (BALANCE A NULO)

2.11A) - Características

- boa precisão nas medidas
- excelente imunidade a ruídos
- velocidade do sistema depende da magnitude do sinal de entrada (15 leituras/seg.).

2.11B) - Funcionamento

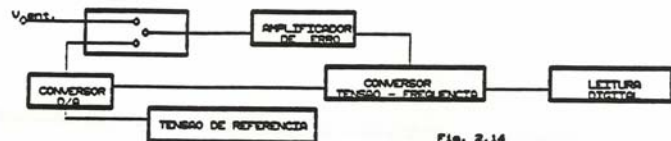


Fig. 2.14

É um sistema de comparação direta, onde a tensão de entrada é comparada alternadamente com a saída do conversor D/A.

Se há alguma diferença entre estas duas tensões, o amplificador de erro a detecta, a transmite ao conversor V/F, o qual por sua vez causa uma mudança na tensão de saída do conversor D/A até obter uma diferença zero. Quando ocorrer isto, a tensão proporcionada pelo conversor D/A pode ser lida em forma digital, terminando então, uma medição.

2.12) - RESUMO DOS CONVERSORES A/D

	Por integração	Rampa digital contínua	Aproximação sucessiva
Exatidão	média, alta	baixa, média	média, alta
Resolução	8 - 16 bits	6 a 10 bits	8 - 16bits
Tempo de conversão	0,5 - 10ms	6 - 200micro s. (100ns p/mudar LSB)	1 - 200 u.s.
Imunidade ao ruído	alta	nenhuma	nenhuma
Funcionamento em multiplex	deficiente	deficiente	excelente

Métodos de conversão com integração (do sinal de entrada)

- Conversor tensão a frequência
- Conversor potenciométrico
- Conversor dupla rampa

Métodos sem integração (do sinal de entrada)

- Conversor de rampa (tensão a tempo)
- Conversor de aproximações sucessivas
- Conversor de rampa escalonada
- Conversor de rampa digital contínua

Os métodos com integração reduzem os efeitos do ruído relacionadas com a tensão e frequências das linhas de alimentação, porque com esta técnica se mede a tensão mais a variação do sinal de entrada durante um período fixo de tempo.

CAPITULO 3

FREQUENCÍMETRO DIGITAL

- 3.1 = Diagrama em Blocos
- 3.2 = Princípio de Funcionamento
- 3.3 = Projeto da Base de Tempo
- 3.4 = Faixa de Medição de Frequência
- 3.5 = Prescaler
- 3.6 = Exercícios

3.1 = Diagrama em Blocos

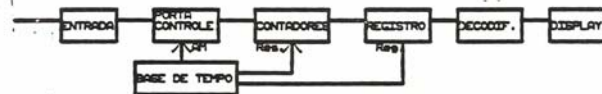


Fig. 3.1 DIAGRAMA EM BLOCOS DO FREQUENCÍMETRO

Entrada

Antes de ser medido, o sinal deve ser compatibilizado com a família lógica utilizada. Ele deve ser limitado, amplificado e quadrado.

Base de Tempo

Fornecer pulsos para:- zerar os contadores

- permitir a passagem de uma amostra do sinal de entrada
- registrar a contagem.

Porta de controle

É uma porta "E", que permite a passagem do sinal de entrada apenas enquanto o sinal Δt tiver nível "1".

Contadores

São formados por contadores BCD e fazem a contagem dos pulsos amostrados.

Registro

Armazenam a última contagem realizada, através do bloco "contadores". A sua função é manter o valor nos displays, enquanto na entrada se tem uma nova medida.

Será utilizado o decodificador 4511, sendo que ele já possui um registro interno.

3.2 - Princípio de Funcionamento

O frequencímetro digital, tem como princípio de funcionamento, a contagem de pulsos durante um certo instante de tempo. Por exemplo um sinal de 2Hz, apresenta 2 ciclos (pulsos) a cada segundo. Um sinal de 50Hz, apresenta 50 ciclos a cada segundo.

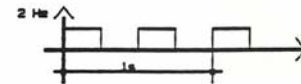
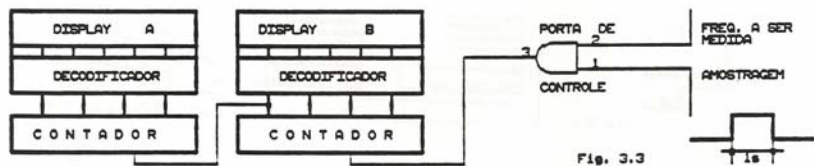


Fig. 3.2

Retirando-se uma amostra do sinal que se quer medir durante t_s , esta amostra conterá um número de pulsos igual ao valor da frequência

do sinal em questão. Se estes pulsos forem aplicados a um contador, o valor da contagem indicará a frequência do sinal.

Para se obter a amostra do sinal de entrada durante t_s , utiliza-se uma porta "E" como porta de controle. Isto é mostrado na figura que veremos a seguir (Fig. 3.3) :



O sinal que permite a passagem da amostra do sinal a ser medido durante um certo tempo, é chamado de sinal de amostragem. Cada vez que o sinal de amostragem assume nível "1", passa uma amostra do sinal de entrada.

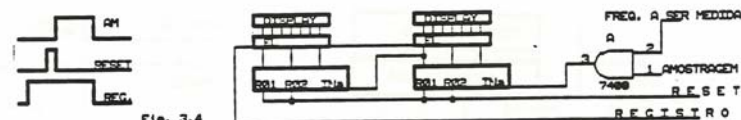
Antes de cada amostragem, é necessário zerar os contadores para que se tenha a indicação correta de frequência. Este sinal é mostrado na Fig. 3.4.

No circuito da Fig. 3.4, vê-se o zeramento dos contadores e a contagem desde zero até o valor final. Isto é desagradável e deve ser evitado.

Por isto, durante estas ações, o último valor medido será registrado e mostrado, evitando que se veja a contagem ocorrer. Somente quando terminar a contagem, o novo valor de frequência é mostrado nos displays.

Este sinal, é chamado de "sinal de registro" e irá controlar o pino EL do decodificador (4511). Este pino atua no registro interno deste CI. Este sinal é mostrado na Fig. 3.4.

Os sinais de amostragem, reset e registro, são gerados pelo bloco "base de tempo".



3.3 - Projeto da Base de Tempo

A base de tempo tem a função de gerar os sinais de amostragem, de reset e de registro.

Para iniciar o projeto, escolhe-se uma frequência de clock inicial.

Qualquer valor pode ser escolhido. Neste exemplo, será escolhido $Freq.(ck)=2Hz$.

O sinal de amostragem deve ter tempo alto de t_s . Para facilitar o projeto, será escolhido tempo baixo de t_s . Com isto, a frequência do sinal de amostragem é de $0,5Hz$. Ele é obtido do sinal de clock, através de uma divisão por 4.

Este sinal é mostrado na Fig. 3.5.



O sinal de reset, é obtido a partir dos sinais A, B e AM. Montando-

se a tabela verdade, obtém-se:

AM	B	A	Res
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

Através da tabela verdade, obtém-se a equação:

$$Res = \overline{A+B+AM}$$

O sinal de registro, é obtido através de uma operação "OU" entre o sinal AM e o sinal "NOT C", ou seja, o sinal "C" negado.

$$Res = AM + \overline{C}$$

O circuito de base de tempo, é mostrado a seguir (Fig. 3.6) :

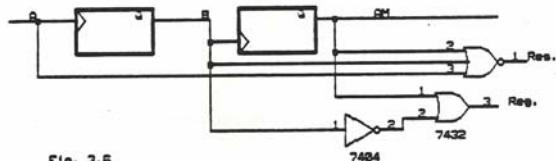


Fig. 3.6

3.4 - Faixa de Medição de Frequência

A frequência mínima a ser medida, depende do sinal de amostragem, isto é, durante o tempo de amostragem deve passar no mínimo 1 pulso.

Se $T_{am} = 1s$ --- $f_{min.} = 1Hz.$

Se $T_{am} = 0,1s$ --- $f_{min.} = 10Hz.$

A frequência máxima a ser medida, depende do número de contadores e do tempo do sinal de amostragem.

Para a fig. do princípio de funcionamento (Fig.3.3), a máxima

frequência que se pode medir, depende da máxima contagem que pode ser feita. Neste caso, a frequência máxima é de 99Hz.

Se o tempo de amostragem fosse 0,1s, a máxima frequência que se poderia medir com o circuito da figura do princípio de funcionamento, (Fig. 3.3), seria 990Hz. Isto porque, a amostragem seria feita durante 0,1s e para a frequência de 990Hz durante um décimo de segundo passam 99 pulsos.

A fórmula para o cálculo de máxima frequência que se poderia medir, é dada por:

$$f_{max.} = (No. de displays) * (1/T_{am})$$

Um outro fator que limita a máxima frequência que se pode medir, é a resposta em frequência dos CI's utilizados.

3.5 - Prescaler

São divisores de frequência colocados na entrada do frequencímetro. Eles permitem aumentar a faixa de medição do frequencímetro.

Bloco Entrada

O sinal a ser medido deve ser limitado, amplificado e quadrado.

Na figura abaixo, é indicado um circuito que faz estas operações:

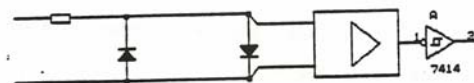


Fig. 3.7

3.6 - Exercícios

- 1) Transforme o frequencímetro em um medidor de período (Fig.3.4)
- 2) Pesquisar quais CI's podem ser utilizados como Prescaler's.
- 3) Projete uma base de tempo com F.F.'s sensíveis à rampa de descida
- 4) Quem define a precisão do frequencímetro?
- 5) Explique a função de cada elemento no circuito do bloco de entrada

BIBLIOGRAFIA

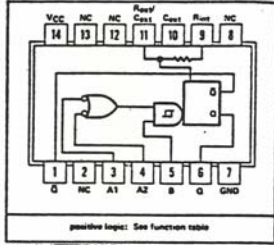
1. INSTRUMENTACION DIGITAL (PREEDICION)
Editora Limusa + México 1978
AMICEE
2. PROJETOS COM CIS TTL
Texas Instruments
Guanabara Dois, 1971
3. ELEMENTOS DE ELETRÔNICA DIGITAL
Ivan Idoeta e Francisco Capuano
Livros Érica Editora, 1984

3.4 - CIRCUITOS INTEGRADOS

74121

FUNCTION TABLE	
INPUTS	OUTPUTS
A1 A2 B	Q G
L X H	L H
X L M	L H
X X L	L H
H M X	L H
H X H	L H
L H H	L H
L X L	L H
X L L	L H

For explanation of function table symbols, see page 2-6.

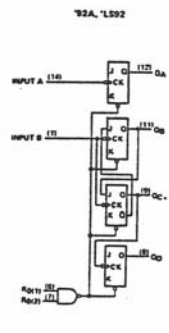
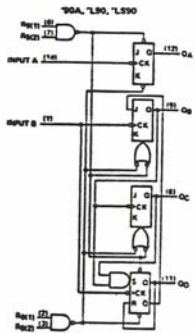
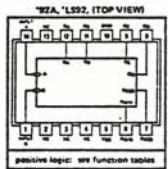
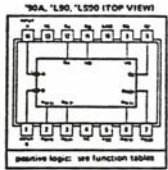


positive logic: See function table

NC—No internal connection

NOTES: 1. An external capacitor may be connected between Cset (internal) and Rset/Cset.
2. To use the internal timing resistor, connect Rset to VCC. For improved duty cycle symmetry and repeatability, connect an external resistor between Rset/Cset and VCC with Rset connected.

7490 e 7492



'90A, 'L90, 'L990
BCD COUNT SEQUENCE
(See Note A)

COUNT	OUTPUT			
	O _a	O _b	O _c	O _d
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

'90A, 'L90, 'L990
BINARY 10-21
(See Note B)

COUNT	OUTPUT			
	O _a	O _b	O _c	O _d
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

'92A, 'L592
COUNT SEQUENCE
(See Note C)

COUNT	OUTPUT			
	O _a	O _b	O _c	O _d
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H

'90A, 'L90, 'L990
RESET/COUNT FUNCTION TABLE

RESET INPUTS				OUTPUT			
R ₀₁₁	R ₀₁₂	R ₀₁₃	R ₀₁₄	O _a	O _b	O _c	O _d
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
H	X	X	H	H	L	L	L
X	L	X	L	H	L	L	H
L	X	L	X	COUNT			
X	L	X	L	COUNT			
X	X	L	X	COUNT			

NOTES: A. Output O_a is connected to input B for BCD count.
B. Output O_d is connected to input A for binary count.
C. Output O_a is connected to input B.
D. H = high level, L = low level, X = irrelevant

'92A, 'L592, '92A, 'L593, 'L593
RESET/COUNT FUNCTION TABLE

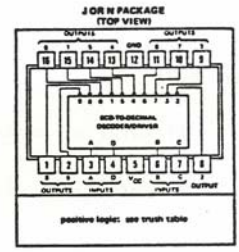
RESET INPUTS				OUTPUT			
R ₀₁₁	R ₀₁₂	O _a	O _b	O _c	O _d	O _e	O _f
H	H	L	L	L	L	L	L
L	X						
X	L						
X	X						

74141

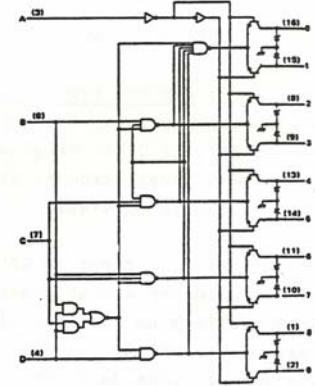
FUNCTION TABLE

INPUT	OUTPUT
D C B A 0M†	
L L L L L	0
L L L L H	1
L L H L L	2
L L H L H	3
L H L L L	4
L H L L H	5
L H H L L	6
L H H L H	7
H L L L L	8
H L L L H	9
H L H L L	NONE
H L H L H	NONE
H H L L L	NONE
H H L L H	NONE
H H H L L	NONE
H H H L H	NONE

H = high level, L = low level
† All other outputs are off

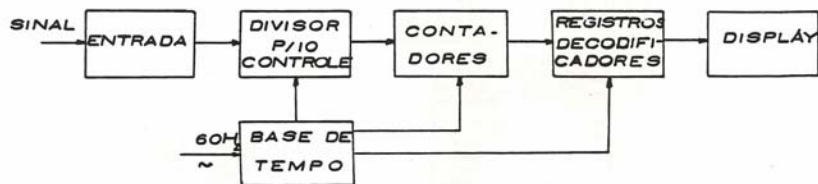


functional block diagram



OBJETIVO 04 - FREQUÊNCÍMETRO

4.1 - DIAGRAMA EM BLOCOS



4.2 - RESUMO DE FUNCIONAMENTO

a) Entrada: antes de ser processado pelo frequencímetro, o sinal deve ser compatibilizado com TTL, por isso, ele é ceifado, amplificado e quadrado pelos circuitos de entrada.

b) Base de tempo: é o sistema que fornece pulsos, periodicamente, para:

- 1) zerar os contadores
- 2) permitir a contagem, durante 0,1s. dos pulsos de entrada, e
- 3) registrar a contagem.

Utiliza os 60Hz da rede como base.

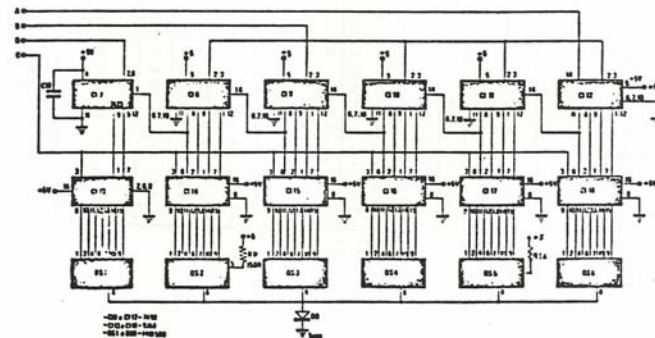
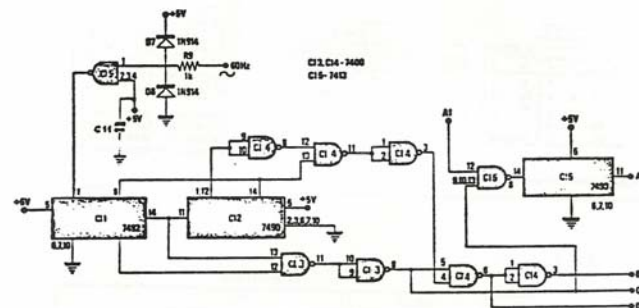
c) Divisor por 10/ controle: o divisor do sinal por 10, associado ao circuito de controle que deixa passar os pulsos que serão contados durante 0,1s, origina a necessidade de se multiplicar por 100 o número apresentado no display para se obter o resultado correto da frequência do sinal.

d) Contadores: 5 CI's 7490 realizam a contagem desde centenas de unidades até unidades de milhão. Note que um 7473 (2 flip-flops) realizam um contador módulo 4, completamente satisfatório para dezenas de milhão, já que o limite máximo para medições de frequência é da ordem de 30 MHz.

e) Registros/ Decodificadores: os 9368 realizam a função dupla de registrar periodicamente o número contado pelo estágio anterior, e decodificá-lo para o display.

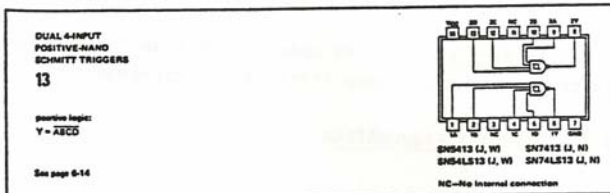
f) Display: são indicadores LED'S de 7 segmentos. O diodo conectado à massa serve como limitador de corrente.

4.3 - DIAGRAMA ESQUEMÁTICO

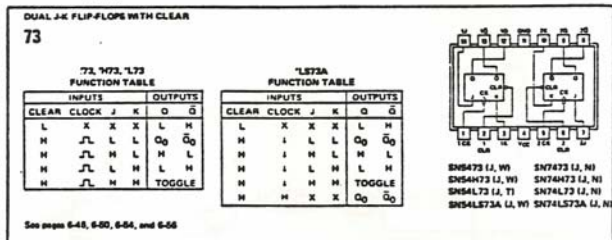


4.4 - CIRCUITOS INTEGRADOS

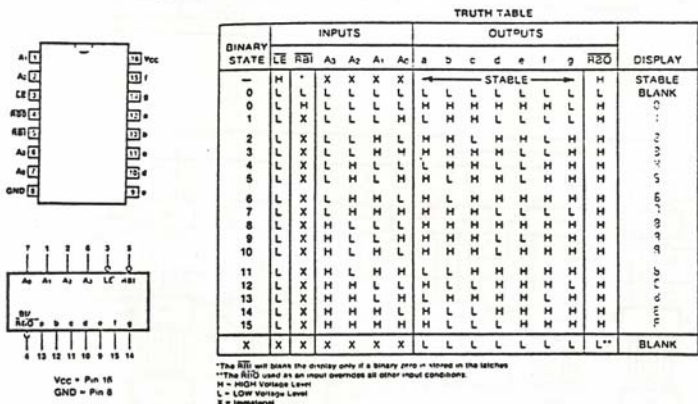
7413



7473

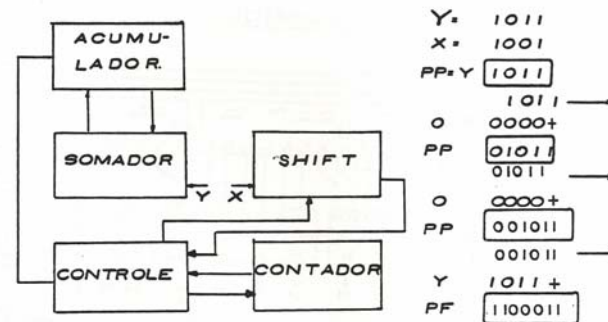


9368



OBJETIVO 05 - MULTIPLICADOR

5.1 - DIAGRAMA EM BLOCOS



5.2 - RESUMO DE FUNCIONAMENTO

a) Acumulador: registra os produtos parciais (P?) e final (PF). Desloca o seu conteúdo uma vez para a direita em cada passo da multiplicação. É composto por CI's 7495, trabalhando, alternadamente como deslocador para a direita e registro de transferência em paralelo.

b) Shift: outros 7495 armazenam o multiplicador X. Os bits do multiplicador, a começar pelo menos significativo, são testados a cada passo da multiplicação, e vão determinar se o número a ser somado ao produto parcial é o multiplicando ou é zero.

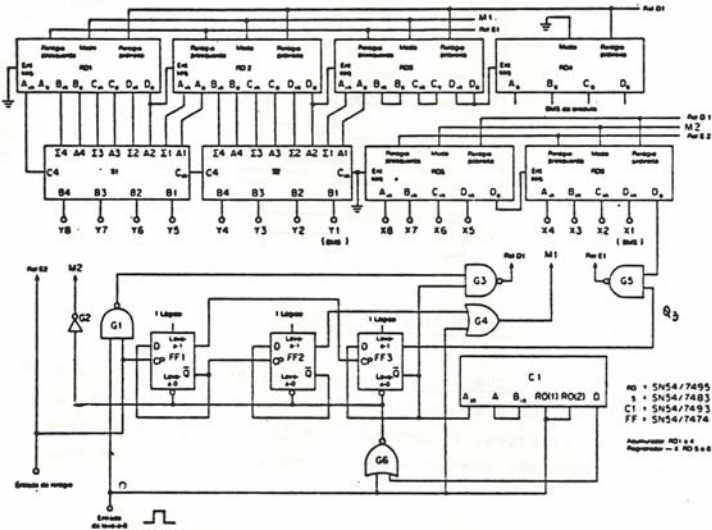
c) Somador: dois CI's 7483 realizam as somas entre o multiplicando y (ou zero) e o produto parcial armazenado no acumulador.

d) Controle: é a parte do sistema que gera, a partir de pulsos de clock e de uma entrada de reset, acionada ao se iniciar a multiplicação, os pulsos que controlam o restante do circuito.

- 1) Armazenamento de X (REL E2)
- 2) Soma entre acumulador e y (multiplicando). (REL E1)
- 3) Deslocamento do acumulador e de X (REL D1).

e) Contador: um 7493 tem a função de interromper o sistema depois que os oito passos da multiplicação foram executados, isto é, depois que todos os bits do multiplicador foram testados.

5.3 - DIAGRAMA ESQUEMÁTICO



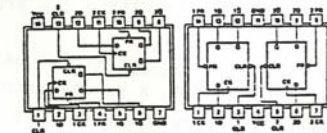
5.4 - CIRCUITOS INTEGRADOS

7474

DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH PRESET AND CLEAR

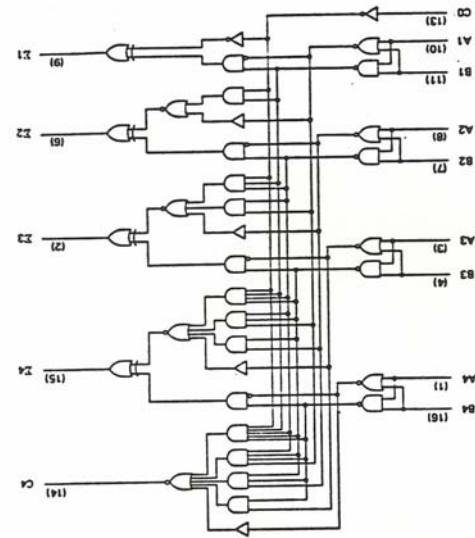
74

FUNCTION TABLE		INPUTS		OUTPUTS	
PRESET	CLEAR	CLOCK	D	Q	\bar{Q}
L	H	X	X	H	L
L	L	X	X	L	H
L	L	X	X	H*	H*
H	H	1	H	L	L
H	H	1	L	H	H
H	H	L	X	Q ₀	\bar{Q}_0



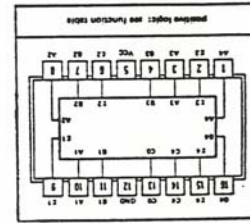
SN5474 L2 SN7474 L2, N1 SN5474 DW
 SN5474 L3 SN7474 L3, N1 SN5474 DW
 SN5474 L4 SN7474 L4, N1 SN5474 TW
 SN54L374A L2, W1 SN74L374 L2, N1
 SN54874 L2, W1 SN74874 L2, N1

See pages 6-46, 6-50, 6-54, and 6-56



COUNT	OUTPUT							
	A3	B3	C3	D3	A2	B2	C2	D2
00	H	H	H	H	H	H	H	H
01	L	L	L	L	L	L	L	L
10	L	L	L	L	L	L	L	L
11	L	L	L	L	L	L	L	L
20	L	L	L	L	L	L	L	L
21	L	L	L	L	L	L	L	L
30	L	L	L	L	L	L	L	L
31	L	L	L	L	L	L	L	L
40	L	L	L	L	L	L	L	L
41	L	L	L	L	L	L	L	L
50	L	L	L	L	L	L	L	L
51	L	L	L	L	L	L	L	L
60	L	L	L	L	L	L	L	L
61	L	L	L	L	L	L	L	L
70	L	L	L	L	L	L	L	L
71	L	L	L	L	L	L	L	L

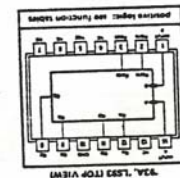
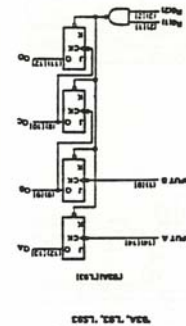
FUNCTION TABLE
 OUTPUT
 COUNT



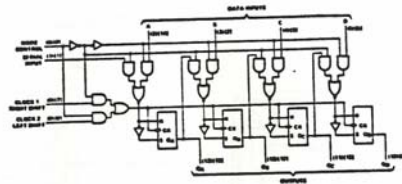
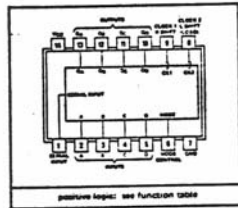
7483

COUNT	OUTPUT			
A	B	C	D	
00	L	L	L	L
01	L	L	L	L
10	L	L	L	L
11	L	L	L	L
20	L	L	L	L
21	L	L	L	L
30	L	L	L	L
31	L	L	L	L
40	L	L	L	L
41	L	L	L	L
50	L	L	L	L
51	L	L	L	L
60	L	L	L	L
61	L	L	L	L
70	L	L	L	L
71	L	L	L	L

74AL759 (TOP VIEW)
 OUTPUT SEQUENCE
 74AL759



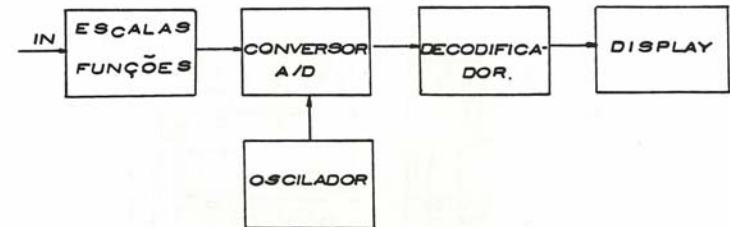
7493



MODE CONTROL	CLOCKS 2 (L) 1 (R)	INPUTS				OUTPUTS			
		SERIAL		PARALLEL		QA	QB	QC	QD
H	H	X	X	X	X	X	X	X	X
H	L	X	X	a	b	c	d	a	b
H	L	X	X	Qb [†]	Qc [†]	Qd [†]	d	Qb ^a	Qc ^a
L	L	H	X	X	X	X	X	Qa ⁰	Qb ⁰
L	X	L	X	X	X	X	X	H	Qa ⁿ
L	X	L	X	X	X	X	X	L	Qa ⁿ
L	X	L	X	X	X	X	X	L	Qb ⁿ
L	X	L	X	X	X	X	X	L	Qc ⁿ
L	X	L	X	X	X	X	X	L	Qd ⁿ
L	X	L	X	X	X	X	X	L	Qa ⁰
L	X	L	X	X	X	X	X	L	Qb ⁰
L	X	L	X	X	X	X	X	L	Qc ⁰
L	X	L	X	X	X	X	X	L	Qd ⁰
L	X	L	X	X	X	X	X	L	Qa ⁿ
L	X	L	X	X	X	X	X	L	Qb ⁿ
L	X	L	X	X	X	X	X	L	Qc ⁿ
L	X	L	X	X	X	X	X	L	Qd ⁿ
L	X	L	X	X	X	X	X	L	Qa ⁰
L	X	L	X	X	X	X	X	L	Qb ⁰
L	X	L	X	X	X	X	X	L	Qc ⁰
L	X	L	X	X	X	X	X	L	Qd ⁰

OBJETIVO 06 - MULTÍMETRO

6.1 - DIAGRAMA EM BLOCOS



6.2 - RESUMO DO FUNCIONAMENTO

a) Escalas e funções: todas as grandezas a serem medidas pelo voltímetro digital, tais como resistência, tensão CA, etc., de vem ser convertidas em uma tensão analógica CC de amplitude limitada. Essa tarefa é realizada por amplificadores operacionais e divisores resistivos, entre outros componentes. São esses os elementos que constituem o 1º estágio do multímetro.

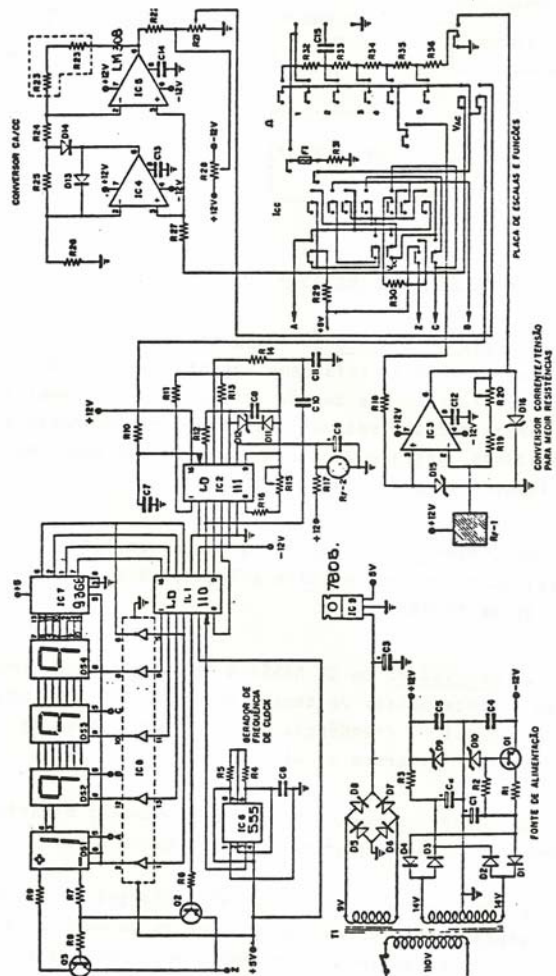
b) Conversor A/D: são dois circuitos integrados que convertem o nível CC de entrada em níveis lógicos digitais que correspondem ao valor da tensão medida.

c) Oscilador: um CI NE555 é o gerador de frequência de clock, que fornece pulsos de tensão para que o conversor possa desempenhar o seu papel. A frequência gerada é uma função de resistores e de um capacitor externos ao CI.

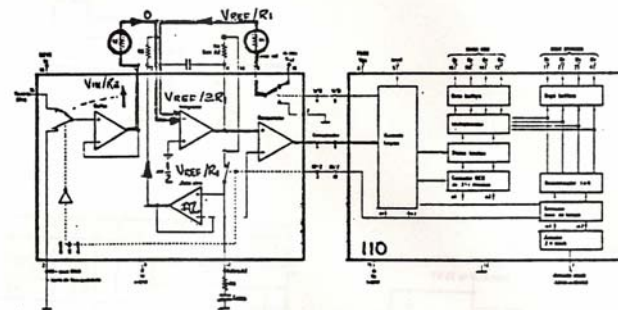
d) Decodificador: transforma os números binários que saem do conversor em níveis próprios para excitar o display.

e) Display: é formado por 3¹/₂ dígitos, e trabalha na forma multiplexada. Além de indicar o valor do parâmetro de entrada, indica a respeito da polaridade quando o multímetro é usado em medições de tensão CC.

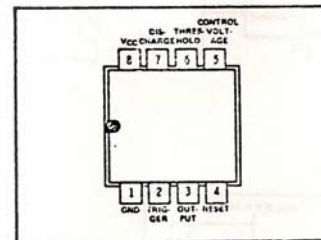
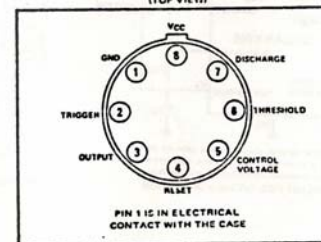
6.3 - DIAGRAMA ESQUEMÁTICO

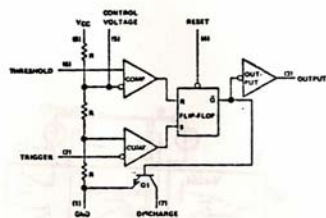


6.4 - CIRCUITOS INTEGRADOS

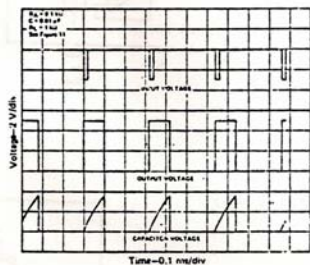
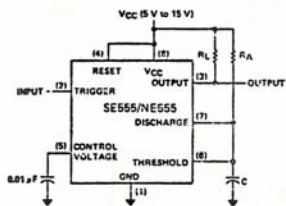


555 (C16)

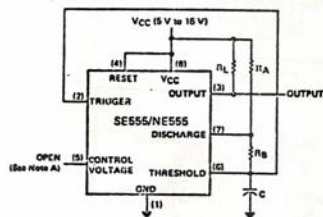
L PLUG-IN PACKAGE
(TOP VIEW)PIN 1 IC IN ELECTRICAL
CONTACT WITH THE CASE



monostable operation



astable operation



NOTE A1: Decoupling the control voltage input (pin 5) to ground with a capacitor may improve operation. This should be evaluated for individual applications. FIGURE 14—CIRCUIT FOR ASTABLE OPERATION

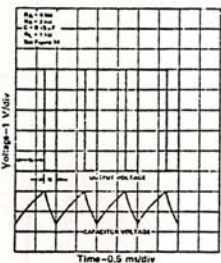
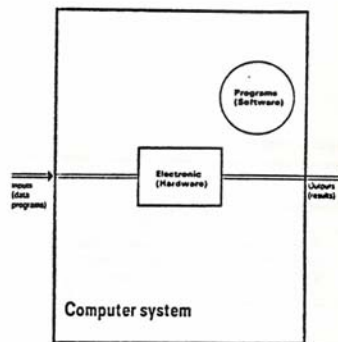


FIGURE 15—TYPICAL ASTABLE WAVEFORMS

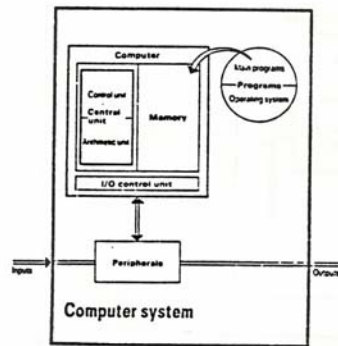
OBJETIVO 08 - MICROCOMPUTADOR



Sistema Computador

HARDWARE _____

 SOFTWARE _____



Sistema Computador

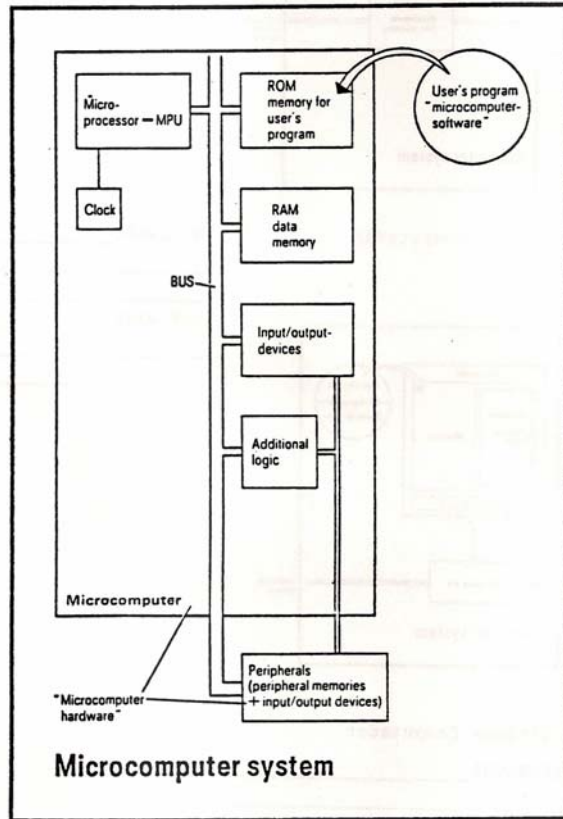
PERIFÉRICOS _____

 MEMÓRIA _____

 UNIDADE CENTRAL _____

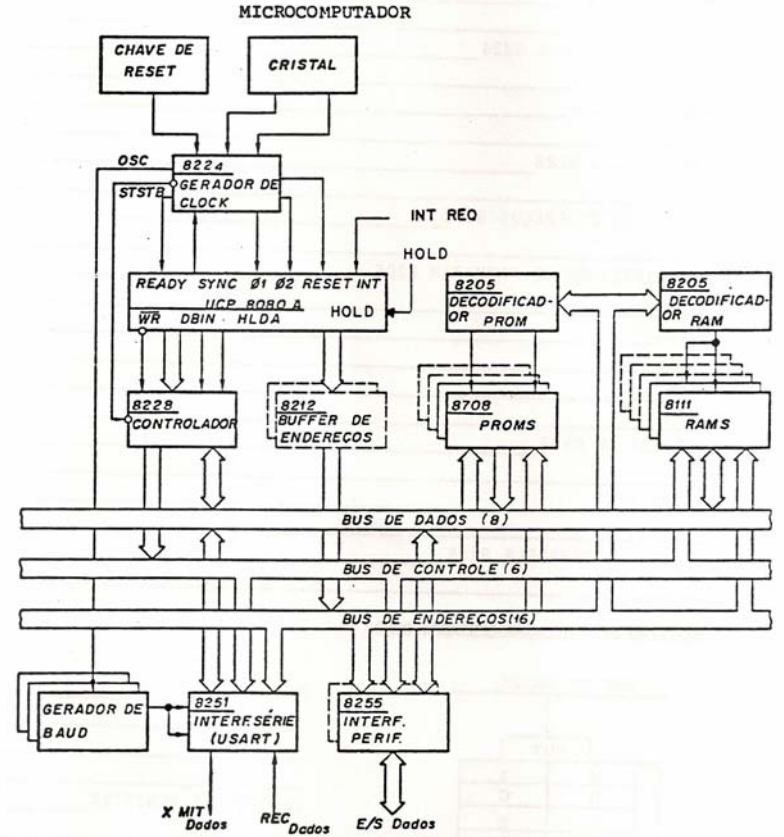
 UNIDADE I/O _____

Figure 4 Design of a microcomputer system



Microcomputer system

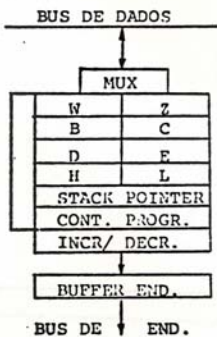
Microcomputador



BUS DE DADOS _____
 BUS DE ENDEREÇOS _____
 BUS DE CONTROLE _____

CHAVE DE RESET _____
 CRISTAL _____
 GERADOR DE CLOCK 8224 _____
 U.C.P. 8080 A _____
 CONTROLADOR 8228 _____
 BUFFER DE ENDEREÇOS 8212 _____
 DECODIFICADOR DE PROM/RAM 8205 _____
 PROMS _____
 RAMS _____
 GERADOR DE BAUD _____
 USART 8251 _____
 INTERFACE PARALELA 8255 _____

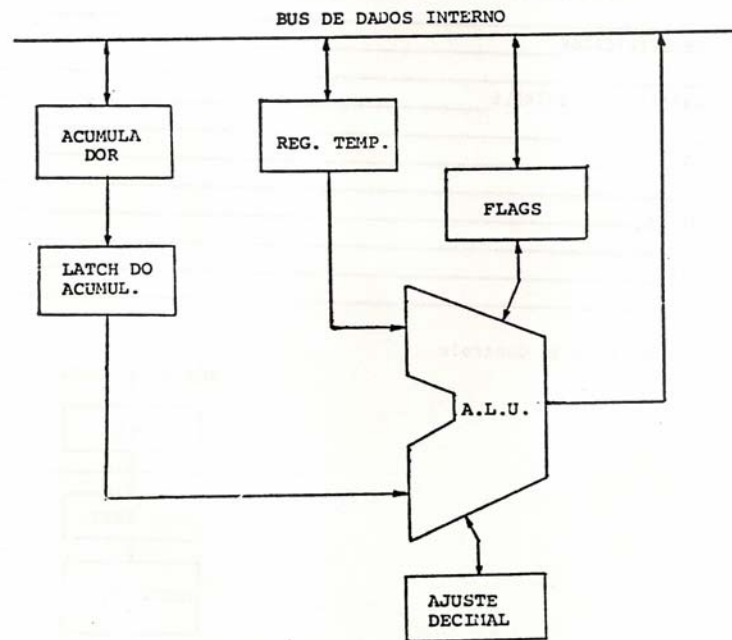
OBJETIVO 09 - MICROPROCESSADOR 8080



MULTIPLEX _____
 SELETOR DE REGISTRO _____
 REGISTROS W & Z _____

Registradores

REGISTROS B, C, D, E, H & L _____
 STACK POINTER _____
 CONTADOR DE PROGRAMA _____
 LATCH DE ENDEREÇO (ACRÉSCIMO/ DECRESCIMO) _____
 BUFFER DE ENDEREÇO _____



ACUMULADOR _____
 LATCH DO ACUMULADOR _____

REGISTRO TEMPORÁRIO _____

ALU _____

FLAGS _____

AJUSTE DECIMAL _____

LATCH DO BUS DE DADOS _____

REGISTRO DE INSTRUÇÃO _____

DECODIFICADOR _____

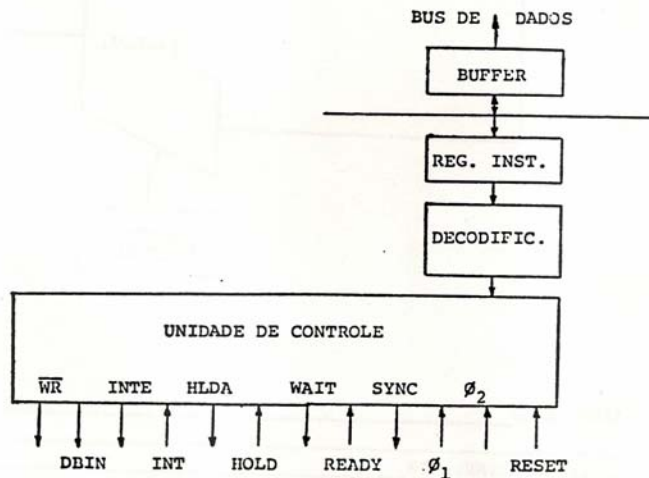
UNIDADE DE CONTROLE _____

RESET _____

ϕ_1, ϕ_2 _____

SYNC _____

Unidade de Controle



READY _____

WAIT _____

HOLD _____

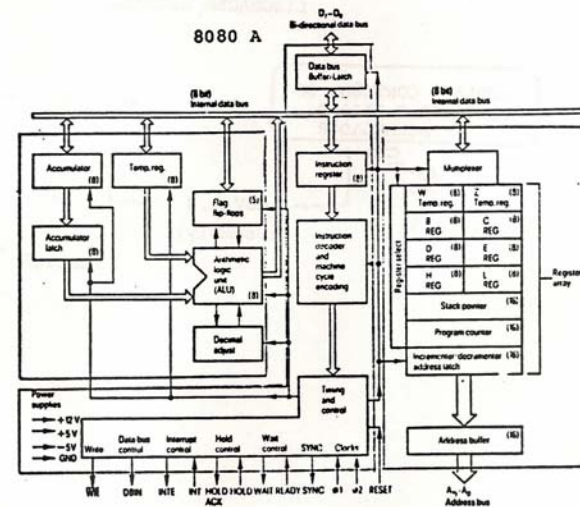
HLDA _____

INT _____

INTE _____

DBIN _____

WR _____



8080 A

OBJETIVO 10 - LINGUAGEM ASSEMBLY

Modos de Endereçamento

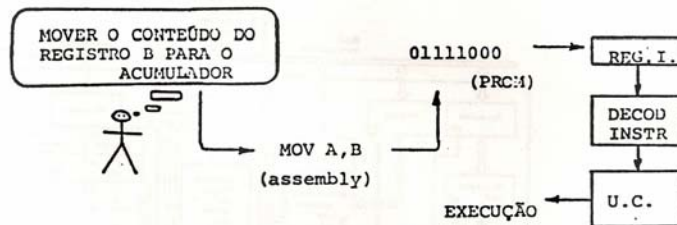
DIRETO _____

POR REGISTRADOR _____

IMEDIATO _____

INDIRETO POR REGISTRADOR _____

LINGUAGEM ASSEMBLY



Memorica	Bitárie	Bitárie de flag	Número de dígitos hexadecimais	Instrução em Inglês	Função de Instrução
----------	---------	-----------------	--------------------------------	---------------------	---------------------

INSTRUÇÕES DE TRANSFERÊNCIA

a) Registrador → Registrador

MOV r ₁ , r ₂	01rdrdrsr	1	5	Move register to register r ₁ = A, B, C, D, E, H ou L. Carrega o registrador r ₁ com o conteúdo de r ₂ .
XCHG	11101011	1	4	Exchange D16, H16 Troca os conteúdos dos pares de registradores (D, E) e (H, L)
XTHL	11100011	1	18	Exchange top of stack H16 Troca os conteúdos do par de registradores (H, L) e o da palavra endereçada pelo stack pointer
SPHL	11111001	1	9	H16 to stack-pointer Carrega o stack-pointer com os conteúdos do par de registradores H, L

b) Memória, Ferritário → Registrador

MOV r ₁ , M	01rdgd110	3	7	Move memory to register r ₁ = A, B, C, D, E, H ou L. Carrega o registrador r ₁ com o conteúdo do byte de memória endereçada pelo conteúdo dos registradores (H, L)
LDA adr	00111010	3	13	Load accu direct Carrega o acumulador com o conteúdo da memória
LDAK rp	00r11010	1	7	Load accu indirect Carrega o acumulador com o conteúdo da memória
LALD adr	00101010	3	16	Load H16 direct Carrega o par de registradores (H, L) com o conteúdo do endereço adr e (adr + 1)
POP rp	11r70001	1	10	Pop register pair off stack rp = B, D, H, PSW. O par de registradores rp é carregado com a palavra endereçada pelo stack pointer
IN nr	11011011	2	10	Input O acumulador é carregado com o conteúdo da porta de entrada nr (nr < 255)

c) Constante → Par de Registradores

LUI rp, adr	00r70001	3	10	Load register pair immediate rp = B, D, H, SP. Carrega o par de registradores rp com o valor adr
-------------	----------	-------	---	----	---

d) Registrador → Memória - Ferritário

MOV M, r	01110000	1	7	Move register to memory r = A, B, C, D, E, H ou L. Armazena o conteúdo do registrador r, na palavra de memória endereçada pelo par de registradores (H, L)
STA adr	00110010	3	13	Store accu direct Armazena o conteúdo do acumulador no endereço
STAK rp	00r70010	1	7	Store accu indirect Armazena o conteúdo do acumulador no byte endereçado pelo conteúdo do par de registradores rp
SHLD adr	00100010	3	16	Store H16 direct Armazena o conteúdo dos registradores (H, L) no endereço adr e (adr + 1)
PUSH rp	11r70101	1	11	Push register pair on stack rp = B, D, H, PSW. O conteúdo do par de registradores rp é transferido para o stack
OUT nr	11010011	2	10	Output O conteúdo do acumulador é carregado na porta de saída nr (nr < 255)

e) Constante → Registrador-Memória

MVI M, konst	00110110	2	10	Move to memory immediate Move o valor de konst (konst < 255) para a palavra de memória endereçada pelo conteúdo do par de registradores (H, L)
MVI r ₁ , konst	00dd0110	2	7	Move Immediate Register r ₁ = A, B, C, D, E, H, L. Carrega o registrador r ₁ com o valor da constante konst (konst < 255)

Conjunto de Instruções

INSTRUÇÕES DE REGISTRADOR

a) Rotação do acumulador

RRC	00000111	...CY	1	4	Rotate accu left O bit 2' é escrito no Carry-Bit
RRC	00001111	...CY	1	4	Rotate accu right O bit 2' é escrito no Carry-Bit
RAL	00010111	...CY	1	4	Rotate accu left through carry O bit 2' é escrito no Carry-Bit e o bit 0' é escrito no bit 2'
RAR	00011111	...CY	1	4	Rotate accu right through carry O bit 2' é escrito no Carry-Bit e o bit 0' é escrito no bit 2'

b) Instruções do Carry-Bit

CJAC	00111111	...CY	1	4	Complement carry
STC	00110111	...CY	1	4	Positione o Carry-Bit

INSTRUÇÕES DE JUMP

a) Jump incondicional

JMP	11101001	1	5	HAL to program counter
JMP	11000011	3	10	Jump incondicional

b) Jump condicional

JC	11011010	3	10	Jump on carry
JNC	11010010	3	10	Jump on no carry
JZ	11001010	3	10	Jump on zero
JNZ	11000010	3	10	Jump on no zero
JM	11111010	3	10	Jump on minus
JM	11110010	3	10	Jump on positive
JPE	11101010	3	10	Jump on parity even
JPO	11001010	3	10	Jump on parity odd

USO DE SUB-ROTINAS

a) Instruções de chamada

CALL	11001101	3	17	Call incondicional
CC	11011100	3	11/17	Call on carry
CNC	11010100	3	11/17	Call on no carry
CZ	11001100	3	11/17	Call on zero
CNZ	11000100	3	11/17	Call on no zero
CM	11111100	3	11/17	Call on minus
CM	11110100	3	11/17	Call on positive
CPE	11101100	3	11/17	Call on parity even
CPO	11100100	3	11/17	Call on parity odd
RST	11111111	1	11	Restart

b) Instruções de retorno

RET	11101001	1	10	Return
RNC	11101000	1	5/11	Return on carry
RNC	11100000	1	5/11	Return on no carry
RZ	11101000	1	5/11	Return on zero
RNZ	11100000	1	5/11	Return on no zero
RM	11111000	1	5/11	Return on minus
RM	11110000	1	5/11	Return on positive
RPE	11101000	1	5/11	Return on parity even
RPO	11100000	1	5/11	Return on parity odd

b) Instruções de retorno

RET	11101001	1	10	Return
RNC	11101000	1	5/11	Return on carry
RNC	11100000	1	5/11	Return on no carry
RZ	11101000	1	5/11	Return on zero
RNZ	11100000	1	5/11	Return on no zero
RM	11111000	1	5/11	Return on minus
RM	11110000	1	5/11	Return on positive
RPE	11101000	1	5/11	Return on parity even
RPO	11100000	1	5/11	Return on parity odd

OPERAÇÕES ARITMÉTICAS

INR	1	00001100	Z.S.P. . AC	1	3	Increment register
INR	M	00110100	Z.S.P. . AC	1	10	Increment memory
DCR	1	00000101	Z.S.P. . AC	1	3	Decrement register
DCR	M	00110101	Z.S.P. . AC	1	10	Decrement memory
INX	rp	00110011	1	3	Increment register pair
DCX	rp	01110111	1	3	Decrement register pair
ADD	1	10000000	Z.S.P. CY AC	1	4	Add register to accu
ADD	M	10000110	Z.S.P. CY AC	1	7	Add memory to accu
ADC	1	10001000	Z.S.P. CY AC	1	4	Add register to accu with carry
ADC	M	10001100	Z.S.P. CY AC	1	7	Add memory to accu with carry
DAD	rp	00111001	...CY	1	10	Add register pair to H and L
SUB	1	10010000	Z.S.P. CY AC	1	4	Subtract register from accu
SUB	M	10010110	Z.S.P. CY AC	1	7	Subtract memory from accu
SBB	1	10011000	Z.S.P. CY AC	1	4	Subtract register from accu with borrow
SBB	M	10011110	Z.S.P. CY AC	1	7	Subtract memory from accu with borrow
ADI	hont	11100110	Z.S.P. CY AC	2	7	Add immediate to accu
ADI	hont	11101110	Z.S.P. CY AC	2	7	Add immediate to accu with carry
SUI	hont	11101110	Z.S.P. CY AC	2	7	Subtract immediate from accu
SBI	hont	11101110	Z.S.P. CY AC	2	7	Subtract immediate from accu with borrow
DAA	00100111	Z.S.P. CY AC	1	4	Decimal adjust accu	

OPERAÇÕES LÓGICAS

CUA	00101111	1	4	Complementa o conteúdo do acumulador	
ANA r _i	10100000	Z.S.P.CY.AC	1	4	And register with accu
AMA M	10100110	Z.S.P.CY.AC	1	7	And memory with accu
ANI konst	11100110	Z.S.P.CY.AC	2	7	And immediate with accu
ORA r _i	10110000	Z.S.P.CY.AC	1	4	Or register with accu
OMA M	10110110	Z.S.P.CY.AC	1	7	Or memory with accu
OAI konst	11101110	Z.S.P.CY.AC	2	7	Or immediate with accu
XRA r _i	10101000	Z.S.P.CY.AC	1	4	Exclusive Or register with accu
XRA M	10101110	Z.S.P.CY.AC	1	7	Exclusive Or memory with accu
XRI konst	11101110	Z.S.P.CY.AC	2	7	Exclusive Or immediate with accu
CMP r _i	10111000	Z.S.P.CY.AC	1	4	Compare register with accu
CMP M	10111110	Z.S.P.CY.AC	1	7	Compare memory with accu
CPI konst	11111110	Z.S.P.CY.AC	2	7	Compare immediate with accu

INTERRUPÇÕES DO PROGRAMA

·EI	11111011	1	4	Enable interrupts
·DI	11110011	1	4	Disable interrupts

OUTRAS INSTRUÇÕES

·HLT	01101110	1	7	Halt
·NOP	00000000	1	4	No operation

PSEUDO-INSTRUÇÕES

ORG str	-	-	-	Origin
name EQU	-	-	-	Equates
name SET exp	-	-	-	-
END	-	-	-	-
IF exp	-	-	-	-
name MACRO	-	-	-	-
·TITLE "título"	-	-	-	-

O flip-flop INTE "set", o microprocessador está apto a reconhecer e

O flip-flop INTE "reset", o microprocessador ignora as perdas de

O programa para não ocorrer um acido de interrupção

Nenhuma associação, instrução "real"

O conteúdo de instruções do programa Assembler é preenchido e

O valor de erro é designado pelo símbolo "name". O "name" pode ocorrer

A mesma que EQU, sendo aninhamento permitida a redefinição

END significa para o programa Assembler que o fim do programa foi

Atenção: as instruções IF e MACRO não são executadas, mas a instrução

Definição do macro. Expressões entre MACRO e ENDM são tratadas como

"real" e instruído como título de cada linha

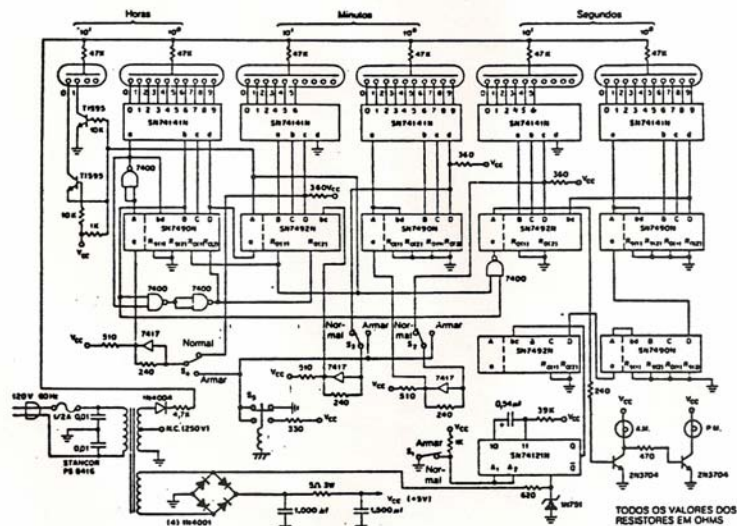
(comprimento máx. 30 caracteres)

f) Display: válvulas "nixie" indicam os algarismos decimais mais resultantes da contagem. No momento em que uma das saídas do 74141 adquire nível 0, o cátodo correspondente, que tem o formato do algarismo considerado, acende.

g) Flip-flop: é utilizado um flip-flop de um contador 7492 para armazenar o bit indicativo de A.M. (antes do meio-dia) e P.M. (após o meio-dia). Esse flip-flop comuta a cada 12 horas.

h) Indicador AM-PM: é formado por duas lâmpadas que acendem no momento em que o transistor em série conduz. Note que estando o transistor da esquerda a conduzir, o da direita corta, e vice-versa.

3.3 - DIAGRAMA ESQUEMÁTICO



ELETRÔNICA DIGITAL II

Disciplina: Eletrônica Digital II

Autor: Prof. Wanderley Veiga
Colaboração: Profª Maria Regina Büchner

OBJETIVO 01 - TECNOLOGIA DE CIRCUITOS TTL

- 1.1 - Generalidades
- 1.2 - RTL
- 1.3 - DTL
- 1.4 - TTL
- 1.5 - HTL
- 1.6 - Lógicas Não Saturadas

1.1 - GENERALIDADES

Na disciplina Eletrônica Digital I as funções lógicas foram estudadas de um ponto de vista que excluía a constituição física dos circuitos eletrônicos que as realizavam; os blocos utilizados na representação de portas e flip-flops foram suficientes para o desenvolvimento teórico da matéria. Quando se trabalha com circuitos reais, na prática, que na maioria das vezes são integrados, importante se faz o conhecimento de suas constituições internas e de seus comportamentos elétricos.

Além disso, uma função lógica pode ser realizada por circuitos diferentes, de tecnologias e características também diferentes. Dependendo de onde, e em que condições os circuitos serão utilizados, devem apresentar características especiais. Por exemplo, existem circuitos que são rápidos, outros, mais lentos; uns tem alta, outros baixa imunidade a ruído; alguns circuitos dissipam elevada potência, outros, trabalham na faixa micro-watts.

Alguns fatores que qualificam os circuitos digitais são aqui conceituados, com o intuito de facilitar o levantamento do perfil tecnológico das diversas "famílias" existentes, bem como de estabelecer critérios de comparação entre elas.

1.1.1 - FAN-OUT

A realização de circuitos lógicos combinacionais em termos de blocos, não oferecia um limite para o número de entradas que podiam ser conectadas à saída de uma porta. Na prática, cada uma das entradas é considerada "carga" para o circuito alimentador, e é fato conhecido de todos, que os circuitos eletrônicos são limitados em relação ao fornecimento de corrente às cargas, para não comprometer outros parâmetros importantes como potência dissipada ou tensão de saída.

Ao número máximo de entradas que se pode conectar à saída de uma porta de mesma família lógica se dá o nome de "fan-out" ou "feixe de saída".

No "Data Book" da Texas, o máximo valor aconselhado para a corrente de saída do SN7400 (porta NE) é de 16 mA para nível lógico baixo (I_{OL}) e de $-400\mu\text{A}$ para nível lógico alto (I_{OH}). No mesmo manual, a corrente de entrada máxima da mesma porta é $-1,6\text{mA}$ em nível baixo e $40\mu\text{A}$ em nível alto (I_{IL} e I_{IH} , respectivamente), o que leva à possibilidade de se alimentar 10 entradas com uma só porta dessa tecnologia. O fan-out típico da TTL padrão, portanto, é 10.

Os sinais negativos em I_{OL} e I_{IH} indicam que essas correntes (reais) saem do dispositivo considerado.

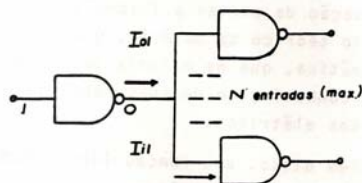


Fig. 1: Fan-out

Em se tratando da associação de dispositivos de diferentes famílias lógicas, o termo "fan-out" perde seu sentido, e a determinação do número máximo de entradas deve ser obtido através dos limites de corrente de entrada e saída dos dispositivos envolvidos.

O "fan-in" é definido como o máximo número de entradas que podem ocorrer em portas lógicas de determinada família.

1.1.2 - IMUNIDADE AO RUÍDO

Como o projetista de sistemas digitais procura minimizar os efeitos de ruídos externos sobre o circuito, a escolha da tecnologia ou família lógica empregada é o primeiro passo para tal.

Define-se a margem de ruído de uma família lógica como a diferença entre a tensão de saída, em piores condições de trabalho, e aquela capaz de iniciar uma comutação quando aplicada à entrada

de uma porta (tensão de umbral), para um nível lógico definido.

Observemos a característica de transferência da porta NE, a seguir:

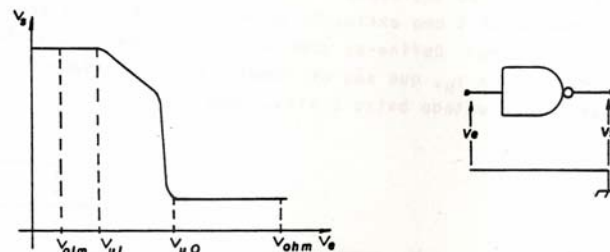


Fig. 2 - Margem de ruído

No estado lógico 0, o fabricante fornece um valor máximo de tensão de saída, que pode ser encontrado em uma porta típica; na característica de transferência esse valor está assinalado como V_{OLM} .

Os CI's da série 74 apresentam 0,4V para essa tensão. Mas, para que a mesma porta comece a desconhecer o nível baixo, isto é, entre na região de alta declividade da curva, é necessário que a tensão de entrada ultrapasse V_{u1} , da ordem de 0,8V para a mesma série. Dizemos, portanto, que a margem de ruído garantida pelo fabricante, no estado lógico 0, é $0,8 - 0,4 = 0,4\text{V}$.

Qualquer tensão expúria menor que 0,4V pode se sobrepor à V_{OLM} sem afetar o funcionamento da porta.

No estado 1 ocorre algo semelhante.

As portas TTL, em piores condições de trabalho, não fornecem menos que 2,4V, segundo o fabricante (V_{OHM}), mas reconhecem tensões a partir de 2,0V (V_{u0}). Também aí podemos contar com uma margem de ruído garantida de 0,4V.

Existem famílias lógicas que apresentam margem de ruído maior que 5V, como aquelas da tecnologia HTL, que veremos posteriormente.

1.1.3 - TEMPO DE PROPAGAÇÃO

Devido às constantes de tempo pertinentes aos circuitos lógicos originários das capacitâncias parasitas e de junção, a resposta de uma porta a uma excitação de entrada não é instantânea, mas demora algum tempo. Define-se como tempo de propagação a média aritmética entre t_L e t_H , que são os atrasos experimentados pelo sinal ao passar para o estado baixo e alto, respectivamente:

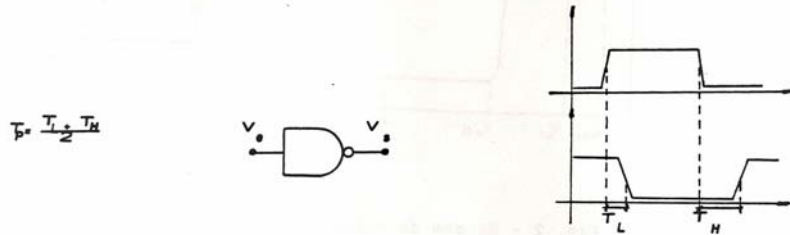


Fig. 3 - Tempo de propagação

A ordem de grandeza do tempo de propagação é de nanossegundos. A família TTL padrão apresenta os seguintes valores típicos: $t_L = 7\text{ ns}$ e $t_H = 11\text{ ns}$; o tempo de propagação é da ordem de 9 ns , portanto.

Os principais fatores que afetam o tempo de propagação são:

a) o valor dos resistores de polarização: quanto maiores, mais altas serão as constantes de tempo; e

b) o tempo de transição dos transistores, na passagem de corte à saturação ou vice-versa.

Quanto ao segundo fator, algumas tecnologias empregam artifícios especiais para minimizar o tempo de transição (ECL, SCHOTTKY); quanto ao primeiro, a simples mudança nos valores das resistências para outros menores, embora diminua o tempo de propagação, provoca um aumento indesejável na potência consumida pelo CI. Devido à essa dependência mútua entre tempo de propagação e potência consumida, usa-se o produto entre essas duas grandezas para qualificar uma tecnologia. O quadro a seguir permite comparar esses parâmetros nas famílias TTL:

	$t_p(\text{ns})$	P(mw)	$P_{xtp}(\text{p.J})$
TTL	10	10	100
HTTL	6	22	132
LTTL	33	1	33
STTL	3	19	57
LSTTL	9,5	2	19

Os primeiros dados, que se encontram na primeira linha, se referem à família TTL padrão. A família HTTL (alta velocidade) é conseguida através da diminuição dos valores resistivos do circuito; o tempo de propagação diminui mas a potência dissipada aumenta. Por outro lado, a família LTTL, que é de baixa potência, dissipa 10 vezes menos que a padrão, sacrificando o tempo de propagação que triplica de valor. Isso é possível pelo simples aumento dos valores das resistências.

As duas últimas linhas se referem a famílias que utilizam um transistor especial, chamado Schottky, que permite sejam atingidas velocidades maiores de comutação. O Schottky de baixa potência (LSTTL) tem um tempo de propagação inferior ao TTL padrão e dissipa 5 vezes menos.

1.2 - RTL

A tecnologia RTL, ou Resistor Transistor Lógica, é de simples confecção e realizada muitas vezes com componentes discretos ou em memórias monolíticas. Utiliza transistores trabalhando em corte ou saturação, que desempenham funções lógicas, como a NOU apresentada no circuito da figura 4.

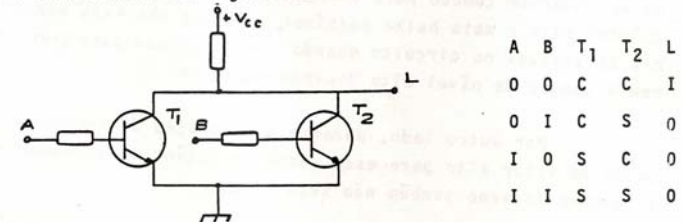


Fig. 4 - Nou RTL

Sempre que uma das duas entradas for polarizada em nível

alto (1) o transistor correspondente conduz e o potencial na saída cai a V_{ces} (0).

A análise do circuito é sintetizada na tabela ao seu lado. C significa "cortado" e S, "saturado".

Uma das limitações apresentadas por essa tecnologia é a baixa frequência de corte, da ordem de 5MHz, motivada pelos resistores de base que contribuem para o aumento das constantes de tempo do circuito.

Abaixo, aparece uma porta E na tecnologia RTL.

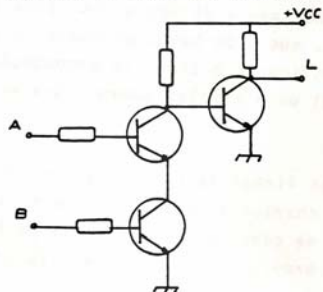


Fig. 5 - E RTL

Uma outra desvantagem é a resistência de carga, pois, além de contribuir para atrasos de propagação oferece o seguinte inconveniente:

Em nível lógico alto de saída, com o transistor cortado como no inversor tomado para exemplo, o ideal é que a resistência de coletor seja a mais baixa possível, para que não haja perda de potência apreciável no circuito quando uma carga qualquer drena corrente, nem a tensão de nível alto diminua com isso.

Por outro lado, durante a saturação do transistor é desejável um valor alto para essa mesma resistência, justamente para que o consumo interno também não seja alto.

Em conseqüência a esses dois fatores, um valor intermediário é escolhido, nem muito alto, nem muito baixo, porém que continua apresentando um consumo e um retardo consideráveis.

Os resistores de entrada também apresentam consumo elevado, reduzindo muito o fan-out dessa tecnologia, que é da ordem de 5.

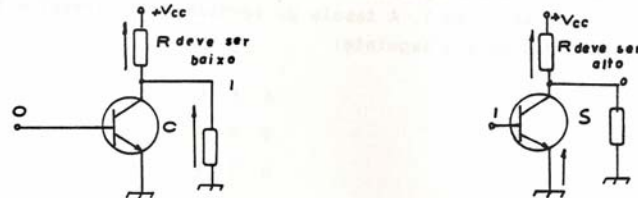


Fig. 6

1.3 - DTL

A Lógica Diodo Transistor substitui os resistores de entrada por diodos, diminuindo o consumo interno das portas e aumentando consideravelmente a velocidade das mesmas. A baixa resistência em polarização direta dos diodos é a responsável pelo baixo tempo de retardo das portas DTL, que ainda apresentam alto fan-out (~10), pois os mesmos diodos, quando polarizados inversamente apresentam alta impedância.

A porta NE de duas entradas tomada como exemplo, apresenta um tempo de retardo típico da ordem de 25ns.

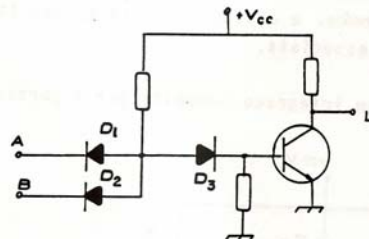


Fig. 7

Estando pelo menos um dos diodos (D_1 ou D_2) com o cátodo conectado à massa, o anodo de D_3 é colocado a um potencial baixo, em torno de 0,7V, incapaz de fazer o transistor conduzir. Se, porém, os dois diodos de entrada forem cortados mediante níveis lógicos altos nos pontos A e B, o potencial de anodo de D_3 se eleva e aparece uma corrente de base pelo transistor. Essa corrente deverá ser tal que

garanta a saturação do transistor, caindo a tensão em L. Resumindo, se observa que aparece 0 na saída, somente no instante em que as entradas estão em 1. A tabela da verdade que expressa a função lógica do circuito é a seguinte:

A	B	L
0	0	1
0	1	1
1	0	1
1	1	0

A função do diodo D_3 é evitar a condução do transistor indevidamente, pois o potencial de 0,7V que se desenvolve nos ânodos de D_1 e D_2 é da mesma ordem do potencial de condução V_{be} do transistor. Com D_3 em série, é necessário um mínimo de 1,4V em seu ânodo para que o transistor possa conduzir. Isto é, D_3 contribui para aumentar a imunidade a ruído da porta analisada.

1.4 - TTL

Sem dúvida alguma a tecnologia TTL é atualmente a de maior emprego em circuitos digitais. Aqui, duas inovações são realizadas em relação à tecnologia DTL. A primeira é a substituição dos diodos por um transistor multiemissor, relativamente fácil de se implementar em circuitos integrados, e a segunda, a saída modificada, apresentando características especiais.

O SN7400 é um integrado composto por 4 portas NE TTL com saída "toten pole".

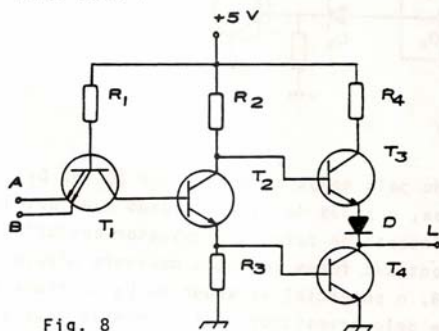


Fig. 8

Semelhantemente ao circuito DTL analisado no ítem anterior, o transistor T_2 somente conduzirá quando os dois emissores de T_1 , simultaneamente, estiverem com potencial alto. Caso contrário, estando um dos emissores à massa, caem os potenciais de base e coletor, e T_2 corta.

No primeiro caso, a condução de T_2 provoca o aparecimento de uma tensão sobre R_3 que coloca T_4 na saturação. O potencial de coletor de T_4 , que é a saída do circuito, torna-se baixo, assumindo, portanto, nível lógico 0, em consequência da aplicação de níveis lógicos 1 em ambas as entradas.

Observa-se, também, o corte de T_3 , produzido pela baixa tensão de coletor de T_2 e a ação do diodo D, elevando a resistência de carga de T_4 e evitando um consumo interno exagerado em estado 0.

No segundo caso, estando uma das duas entradas em nível baixo, o corte de T_2 causa o corte de T_4 e a saturação de T_3 , devido à elevação do potencial de coletor em T_2 . A nova situação produz nível alto de saída com baixa resistência interna, o que eleva a velocidade de comutação do circuito.

Abaixo se apresenta uma porta TTL com saída "toten-pole" que desempenha a função lógica NOR. O circuito integrado mais comum que se encontra para a função NOR é o SN7402, contendo 4 circuitos desse tipo.

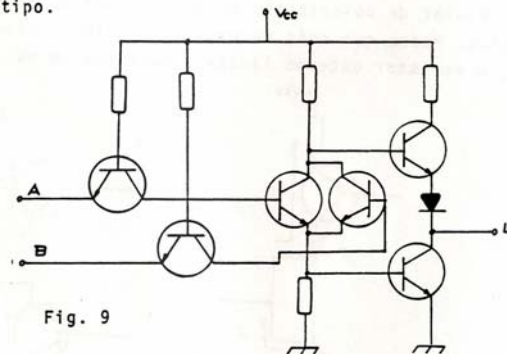


Fig. 9

Embora com inúmeras vantagens, as saídas "toten-pole" não permitem a realização de funções "E por conexão", que seriam obtidas pela simples conexão direta de duas ou mais saídas entre si. Um potencial baixo em uma dessas saídas "puxaria" o nível lógico para 0,

o que justifica o seu nome.

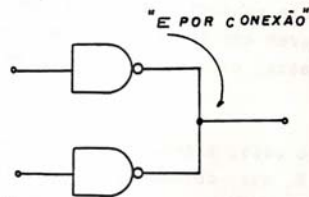


Fig. 10

As portas "E por conexão" tem grande importância pela economia que apresentam, particularmente na transmissão de dados por BUS, onde diversas saídas são diretamente conectadas a uma linha comum. Duas portas TTL com saídas em "toten-pole", se encontrando uma delas em estado 0 e a outra em estado 1, teriam seus transistores ativos conduzindo corrente muito alta, além da especificada pelo fabricante como limite máximo. Essa situação, é claro, deve ser evitada.

Por esse motivo, existem as saídas em coletor aberto, onde se encontra apenas um transistor sem carga e sem alimentação interna funcionando como elemento de saída. Fora isso, as portas dessa tecnologia se assemelham bastante com as TTL "toten-pole". Desempenham as mesmas funções lógicas, mas a ausência da alimentação interna permite a montagem "E por conexão", desde que o projetista acrescente, um resistor de polarização externo, comum a todos os transistores de saída. Mesmo que dois ou mais transistores conduzam simultaneamente, o resistor externo limita a corrente em um valor satisfatório.

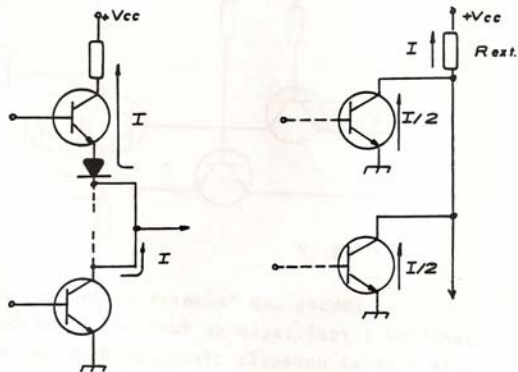


Fig. 11

A maneira de se aliar as vantagens do "toten-pole" e das portas "E por conexão" foi encontrada na lógica "Tri-state". Um terminal de entrada especial, de "inibição", age diretamente sobre os dois transistores de saída da configuração "toten-pole", cortando-os simultaneamente. O resultado é o aparecimento de um estado de elevada impedância de saída, o terceiro estado, que praticamente desconnecta a porta da linha comum a qual está conectada, eletricamente falando. Assim, uma série de portas "Tri-state" podem ter suas saídas ligadas ao mesmo ponto. No exemplo abaixo, as portas 1 e 2 se encontram no terceiro estado pela aplicação de nível lógico alto em suas entradas de inibição. A porta 4 recebe então a informação vinda da de nº 3, que se comporta como uma "toten-pole" normal.

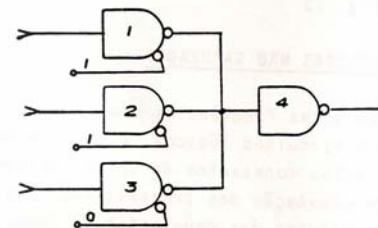


Fig. 12

1.5 - HTL

Na indústria e em outros ambientes adversos, onde a ocorrência de ruídos fica difícil de ser reduzida, faz-se necessário o uso de tecnologia especial imune a uma grande faixa de sinais expúrios. A solução a se adotar é quanto ao emprego de portas HTL (lógica de alta imunidade) que utilizam níveis lógicos mais distanciados e "barreiras" internas destinadas a rejeição de ruído. Tipicamente, temos tensões de alimentação da ordem de 12 ou 15 Volts, que possibilita um aumento considerável na tensão de nível lógico 1. As barreiras internas são barreiras de potencial oferecidas por diodos Zener, inversamente polarizados; e se situam na faixa de 5V.

Um circuito HTL derivado da tecnologia diodo transistor lógica (DTL) é apresentado na figura seguinte. É interessante comparar a função do diodo D_3 com a do correspondente na figura 7. Recordemos que lá, D_3 seria como uma espécie de proteção contra a condução indevida do transistor.

O transistor T_1 auxilia também o efeito de aumento de imunidade.

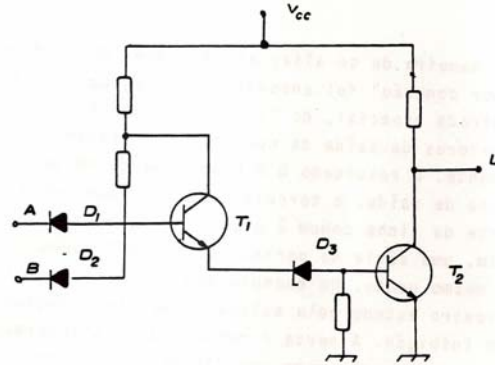


Fig. 13

1.6 - LÓGICAS NÃO SATURADAS

Em altas frequências começa-se a sentir a dificuldade de resposta dos circuitos lógicos. E isso se deve a dois fatores importantes: as altas constantes de tempo presentes e a limitação de velocidade de comutação dos transistores. Não resta dúvida que podemos diminuir os valores das constantes de tempo do circuito baixando os valores das resistências, porém, comprometendo o consumo de potência. A outra solução, é evitando que os transistores saturem, o que diminui consideravelmente o tempo de transição dos transistores entre os estados de corte e saturação.

As lógicas não saturadas de alta velocidade mais difundidas são a que utiliza transistores Shottky e a de emissores acoplados.

A primeira faz uso de díodos especiais de baixa tensão de barreira de potencial associados em paralelo com as junções base-coletor de transistores comuns. Esses díodos com barreiras de 0,2 a 0,3 volts são conhecidos por Díodos Shottky e as suas associações com transistores originam os Transistores Shottky. Quando esses transistores atingem o limiar da saturação, e a junção base-coletor tende à polarização direta, os díodos conduzem drenando corrente de base, evitando a completa saturação e limitando o número de portadores elétricos na base a um mínimo. A passagem do transistor, da condução para o corte é rapidíssima, visto que o escoamento de todos os portadores presentes na região da base é facilitado pelo seu baixo número. Frequências de trabalho da ordem de 125 MHz podem ser conseguidas

das com o emprego de transistores Shottky.

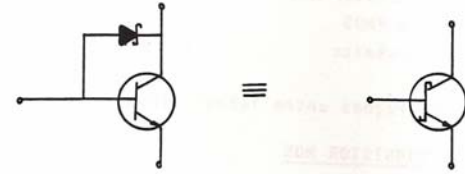


Fig. 14

A outra opção, aliás compensadora em matéria de resposta em frequência pois chega a atingir a casa dos Giga-Hertz, é o uso da lógica de emissores acoplados (E.C.L.).

A utilização de um excelente circuito de polarização, que faz uso de fontes de corrente e tensão estabilizadas, além de transistores trabalhando no modo diferencial e acoplados por emissor, determina a não saturação dos transistores dessa lógica e o consequente aumento da velocidade.

O circuito apresentado a seguir representa, simplificada, uma porta inversora ECL. Note-se que a alimentação dessa tecnologia é negativa (usualmente -5,2V) e a tensão -VE de polarização de base é fornecida por uma fonte estabilizada.

A resistência R_E , junto com $-V_{CC}$ simboliza uma fonte de corrente constante, que flui por T_1 e T_2 , dependendo do potencial de entrada ser maior ou menor que V_E . Deixa-se ao leitor a realização da análise de funcionamento do circuito.

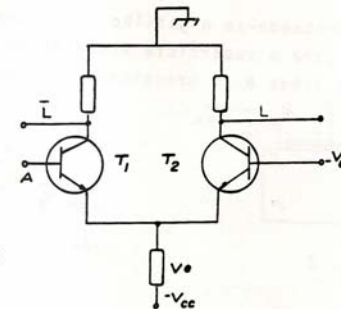


Fig. 15

OBJETIVO 02 - TECNOLOGIA DE CIRCUITOS INTEGRADOS MOS

- 2.1 - O Transistor MOS
- 2.2 - NMOS e PMOS
- 2.3 - MOS Dinâmico
- 2.4 - C-MOS
- 2.5 - Comparações entre Tecnologias

2.1 - O TRANSISTOR MOS

É conhecido por suas principais características, como: baixo consumo, alta impedância de entrada e alta densidade na integração. Esses fatores são importantes na Eletrônica Digital por motivos óbvios. A alta densidade de transistores em um circuito integrado, permite hoje em dia, a obtenção de computadores completos com o emprego, de poucos, ou de apenas um C.I. Os microcomputadores são exemplos significativos do emprego da tecnologia MOS.

Os transistores mais empregados em Digital são os conhecidos por "MOS tipo enriquecimento". Eles são obtidos pela elevação do potencial do substrato, que isola completamente as ilhas de onde saem os terminais dreno e fonte.

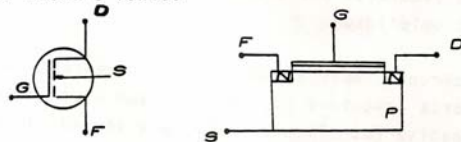


Fig. 1

A figura acima representa um transistor MOS canal N, onde o substrato, muito dopado, isola completamente os cristais N das extremidades. É fácil verificar que o transistor não conduz entre dreno e fonte sem polarização de gate.

Polarizando-se o gate positivamente, a atração de cargas negativas para a superfície superior do substrato origina um canal ligando as ilhas N. O transistor MOS, nestas condições, conduz.

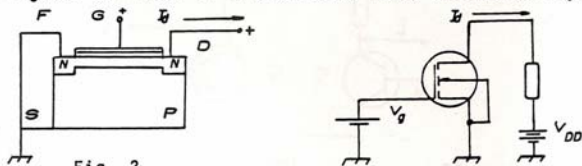


Fig. 2

A corrente de dreno é uma função, portanto, da tensão de gate, pois quanto maior for a espessura do canal, menos resistência ele oferece. A relação entre estas duas grandezas é evidente na curva de transferência $I_D \times V_G$. Nota-se que é necessária uma pequena tensão V_{TH} para a formação do canal; somente a partir daí a corrente de dreno começa a crescer.

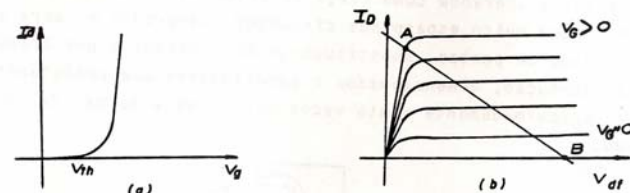


Fig. 3

A característica de saída $I_D \times V_{DF}$ tem o aspecto apresentado na figura 3b. Fixada uma V_G positiva, de valor qualquer, nota-se duas regiões distintas na curva. Para baixos valores de V_{DF} , a característica é semelhante a de um resistor, pois representa, de fato, uma resistência mais ou menos constante, que é a resistência do canal. Com o aumento de V_{DF} a corrente I_D começa a se estabilizar em torno de um valor de saturação. Tal fato é explicado da seguinte maneira: o aumento da tensão positiva V_{DF} , que está polarizando inversamente a junção "ilha substrato", aumenta também a região de transição entre os dois cristais, estreitando-o; assim, a resistência do canal aumenta e a corrente se estabiliza. A figura 4 mostra o que acontece.

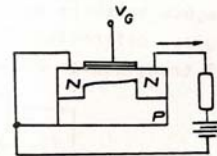


Fig. 4

Dois pontos de operação interessam particularmente à Eletrônica Digital. O ponto A, de saturação, conseguido através da aplicação de um potencial alto no gate e o ponto B, de corte, que corresponde a um potencial baixo de gate. Assim o transistor MOS funciona como uma chave, e pode desempenhar funções lógicas.

2.2 - NMOS E PMOS

Normalmente polarizados, tanto os transistores canal N como canal P, podem desempenhar funções lógicas em circuitos razoavelmente simples. Por exemplo, um inversor construído com MOS canal N utiliza apenas dois transistores: um, funcionando em corte e saturação, e outro operando como carga do primeiro. Acontece que os resistores ocupam muito espaço nos circuitos integrados e, para aumentar a densidade de portas, substituem-se os resistores por transistores MOS em condução, dimensionados a apresentarem uma resistência drenofonte aproximadamente vinte vezes maior que a normal de um MOS saturado.

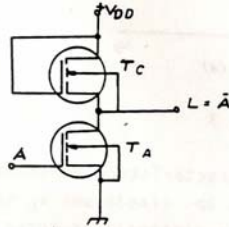


Fig. 5

Estando a entrada A a um potencial alto, o transistor satura e a tensão de saída cai a um valor baixo: $A = 1 \rightarrow L = 0$. Caso contrário, a ausência de polarização na entrada corta o transistor e o potencial em L assume valor próximo a V_{DD} : $A = 0 \rightarrow L = 1$. Portanto, é um inversor NMOS. A tensão de alimentação é, tipicamente, de +5V, sendo a tecnologia NMOS compatível com TTL.

As associações em série ou paralelo de transistores MOS dá origem a funções lógicas diferentes. Por exemplo, observe-se o circuito composto por 3 transistores em série conforme a figura 6.

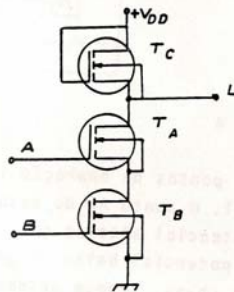


Fig. 6

Somente na ocasião em que os dois transistores T_a e T_b estiverem simultaneamente polarizados em condução, é que o potencial de saída assume um baixo valor. Esse comportamento caracteriza a função NE.

Na figura 7 aparece um outro circuito NMOS que se deseja equacionar. Através de uma simples verificação na operação dos transistores conclui-se a seguinte tabela da verdade:

A	B	C	L
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

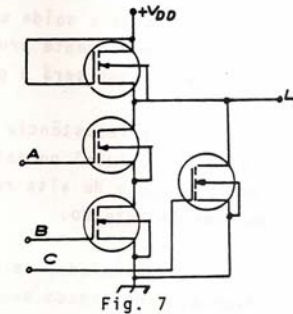


Fig. 7

O equacionamento da função se faz pelo método convencional.

$$L = \bar{A}\bar{B}\bar{C} + \bar{A}B\bar{C} + A\bar{B}\bar{C}$$

$$L = \bar{A}\bar{C} + \bar{B}\bar{C}$$

$$L = \bar{C}(\bar{A} + \bar{B})$$

A tecnologia PMOS, mais antiga, utiliza alimentação negativa e por isso não é compatível com TTL. Considerando lógica positiva (1 : 0V e 0 : $-V_{DD}$) a função NOU apresenta a seguinte configuração:

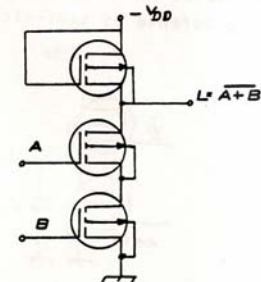


Fig. 8

2.3 - MOS DINÂMICA

Com o intuito de economizar energia, o consumo da porta MOS pode ser reduzido pela ação direta de um clock externo sobre o transistor que funciona como "carga". Como esse componente apresenta uma resistência de médio valor quando normalmente polarizado, apresenta dois inconvenientes:

1º) Estando a saída em estado 0, há consumo de potência sobre a "carga", inversamente proporcional ao valor desta. Quanto maior o seu valor, menor será a potência consumida.

2º) Se a resistência da "carga" for muito grande então surtirá efeito prejudicial no estado alto de saída: o circuito se comporta como uma fonte de alta resistência interna, isto é, apresenta eleva do consumo interno.

Resumindo: em estado alto é conveniente baixa resistência interna, e em estado baixo é preferível resistência elevada.

Uma forma de reduzir parcialmente o consumo na resistência da carga é aplicando um "clock" no seu gatilho.

Este clock tem a propriedade de cortar o transistor de carga periodicamente durante o seu nível baixo, reduzindo o consumo em praticamente 50% para uma forma de onda quadrada. Em nível 0 de saída é facilmente compreensível esse fato, porém, em nível 1, surge a pergunta: durante o corte do transistor-carga o fornecimento de corrente pela porta não será prejudicado? A resposta está na capacitância de saída C_{DF} do MOS FET e no baixo consumo das portas alimentadas: demorando-se para descarregar, a capacitância de saída mantém o nível alto durante os semi-ciclos em que a resistência de carga se eleva.

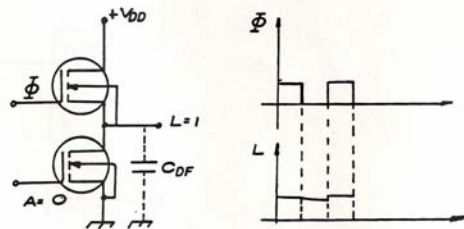


Fig. 9

2.4 - C-MOS

Uma redução maior no consumo é obtida pela utilização da tecnologia MOS complementar, ou C-MOS. Essa tecnologia é de construção mais complexa pois exige que tanto transistores canal N como canal P sejam fabricados no mesmo substrato. Abaixo pode-se ver a substituição de um circuito integrado C-MOS em termos de estrutura cristalina.

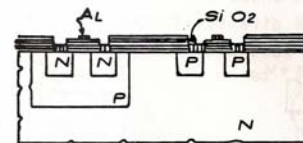


Fig. 10

O inversor C-MOS tem um princípio de funcionamento bastante simples: funcionando o transistor canal P como carga do transistor canal N, e possuindo esses dois transistores um controle comum de gatilho, pode-se satisfazer as duas condições explícitas no item anterior, referentes aos valores ideais para a carga nos estados 0 e 1.

Observando-se a figura abaixo, onde aparece um simples inversor C-MOS pode-se reparar que T_1 corta enquanto T_2 satura, e vice-versa. Em nível alto de saída a resistência de carga é pequena; em nível baixo, é elevada.

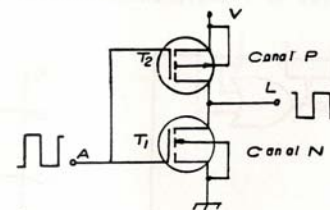


Fig. 11

A redução no consumo é fantástica: da ordem de micro-watts por porta, a 100 KHZ. Necessária se faz uma referência quanto à variação do consumo com a frequência de trabalho: durante as transições de estado, por um instante muito curto de tempo, os dois tran

sistemas conduzem simultaneamente, surgindo um pico de corrente pelo circuito. É evidente que o número de pulsos cresce à proporção que a frequência aumenta, ou seja, o consumo aumenta. Mesmo assim, os circuitos C-MOS podem ser encontrados funcionando a 1MHz com um consumo de apenas 1mw, valor baixo se comparado com o consumo típico TTL (10mw por porta).

Funções NE e NOU são implementadas segundo diagrama apresentados a seguir. À direita, função NE; à esquerda, NOU. Deixa-se ao leitor a análise funcional de ambas:

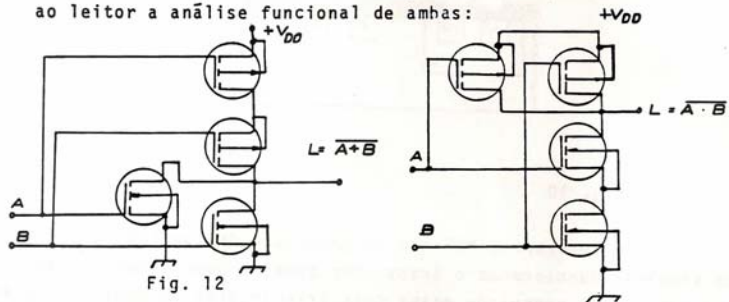


Fig. 12

O CI 4001 possui 4 portas NOU de 2 entradas na tecnologia C-MOS.

A tensão de alimentação dessas portas pode variar, aproximadamente, de 1,5 a 18V, sem prejuízo algum às funções lógicas.

Juntamente com o "lay-out" do 4001, a figura 13 apresenta a família de curvas de transferência da porta NOU.

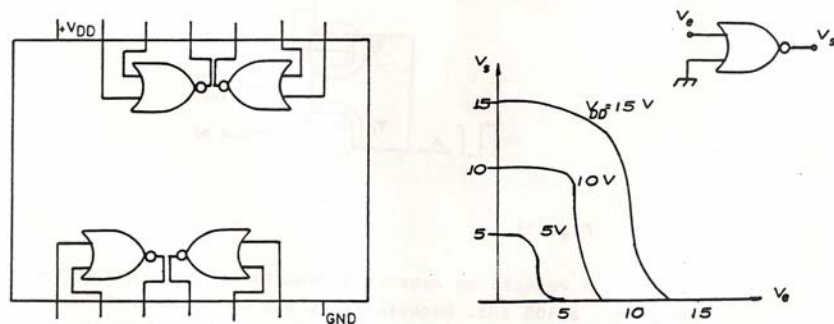


Fig. 13

2.5 - COMPARAÇÃO ENTRE TECNOLOGIAS

Para encerrar este assunto, apresentamos uma tabela que permite comparar algumas características entre diversas tecnologias estudadas. Além disso, pode-se notar no gráfico abaixo a relação existente entre o tempo de propagação médio e a dissipação média por porta entre algumas tecnologias. Observa-se aí o compromisso entre essas duas grandezas: geralmente uma é sacrificada em prol da outra.

CARACTERÍSTICA	TTL	ECL	MOS	CMOS
Fan out	10	25	20	50
Custo	Baixo	Méd/alto	Méd/alto	Baixo/méd.
Consumo (mw)	12 a 22	40 a 60	0,2 a 10	0,01
Geração ruído	Alta	Baixa/méd.	Média	Baixa/méd.
Imunid. ruído	Boa	Boa	Boa	Muito boa
Faixa temp.(°C)	-55 a 125	-55 a 125	-55 a 125	-55 a 125
Alimentação	+5	-5,2	-2,7 a 13**	+1,5 a +18
Tempo prop.(ns)	3 a 12	1 a 12	300***	70
Frequência (MHz)	15 a 120	200 a 1000	2****	5 a 10

* em repouso

** para P-MOS; para NMOS: 5V

*** para N-MOS: 50 ns

**** para NMOS: 5 a 10 MHz.

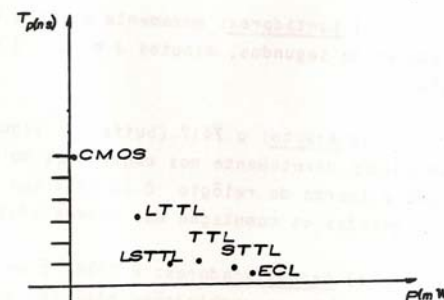
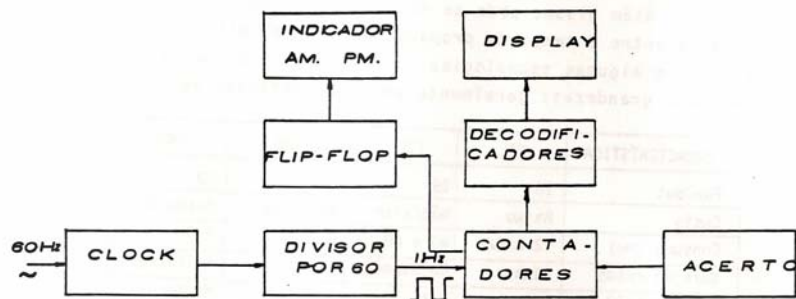


Fig. 14

OBJETIVO 03 - RELÓGIO DIGITAL**3.1 - DIAGRAMA EM BLOCOS****3.2 - RESUMO DO FUNCIONAMENTO**

a) Clock: a partir dos 60Hz da rede, o circuito de clock produz pulsos retangulares na mesma frequência, compatíveis com TTL.

Um multivibrador monoestável (74121), que possui um Shmitt Trigger na entrada, proporciona 90% de nível 1 nos ciclos de clock, porque nesse estado ele fica insensível a ruídos, melhorando o desempenho do relógio.

b) Divisor por 60: um contador 7492 operando em módulo 6 e um 7490, em módulo 10, dividem os 60Hz proporcionando 1Hz para os contadores.

c) Contadores: novamente os CI's 7490 e 7492 atuam como contadores de segundos, minutos e horas. O contador de horas é de módulo 12.

d) Acerto: o 7417 (buffer) e algumas chaves, permitem injetar pulsos diretamente nos contadores de minutos e horas, possibilitando o acerto do relógio. O CI 7417 age no sentido de evitar que ruídos gerados na comutação das chaves afetem os contadores.

e) Decodificadores: o 74141 é um decodificador BCD - decimal que converte as combinações binárias disponíveis na saída do contador em níveis lógicos convenientes ao acionamento do display.